

3
THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of : Hiroshi TOMONAGA, et al.

Filed : Concurrently herewith

For : PACKET SWITCH DEVICE

Serial No. : Concurrently herewith

March 13, 2001

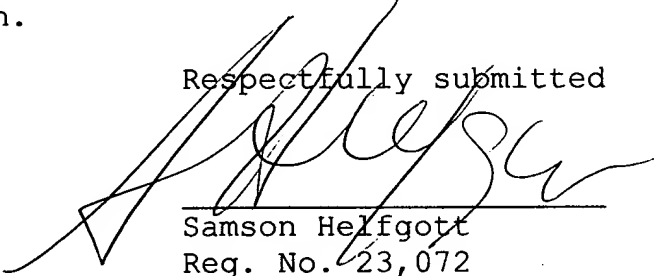
Assistant Commissioner of Patents
Washington, D.C. 20231

SUBMISSION OF PRIORITY DOCUMENT

S I R:

Attached herewith are Japanese patent application No.
2000-262058 of August 31, 2000 whose priority has been claimed
in the present application.

Respectfully submitted



Samson Helfgott
Reg. No. 23,072

HELFGOTT & KARAS, P.C.
60th FLOOR
EMPIRE STATE BUILDING
NEW YORK, NY 10118
DOCKET NO.:FUJO 18.430
BHU:priority

Filed Via Express Mail
Rec. No.: EL522402319US
On: March 13, 2001
By: Brendy Lynn Belony
Any fee due as a result of this paper,
not covered by an enclosed check may be
charged on Deposit Acct. No. 08-1634.

J1036 U.S. PTO
09/805545
03/13/01

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

11036 U.S. PTO
09/805545
03/13/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年 8月31日

出 願 番 号

Application Number:

特願2000-262058

出 願 人

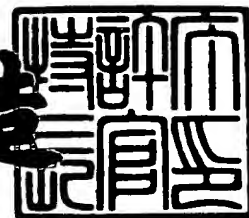
Applicant (s):

富士通株式会社

2000年12月22日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2000-3105873

【書類名】 特許願

【整理番号】 0050897

【提出日】 平成12年 8月31日

【あて先】 特許庁長官殿

【国際特許分類】 H04L 12/56

【発明の名称】 パケットスイッチ装置

【請求項の数】 5

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 朝永 博

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 永田 将克

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 瓦井 健一

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 松岡 直樹

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 岡部 健一

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通

株式会社内

【氏名】 瓜生 士郎

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100074099

【住所又は居所】 東京都千代田区二番町 8 番地 2 0 二番町ビル 3 F

【弁理士】

【氏名又は名称】 大菅 義之

【電話番号】 03-3238-0031

【選任した代理人】

【識別番号】 100067987

【住所又は居所】 神奈川県横浜市鶴見区北寺尾 7 - 2 5 - 2 8 - 5 0 3

【弁理士】

【氏名又は名称】 久木元 彰

【電話番号】 045-573-3683

【手数料の表示】

【予納台帳番号】 012542

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9705047

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 パケットスイッチ装置

【特許請求の範囲】

【請求項 1】 パケットをスイッチングするパケットスイッチ装置において、
入力したパケットを、パケットを単位として到着順にシーケンシャルに複数の
パスに振り分ける振り分け手段と、

該振り分け手段から該複数のパスを介して入力されるパケットをスイッチング
して、出力するスイッチ手段と、

該スイッチ手段から出力されたパケットを、該振り分け手段のパケットの振り
分け処理の逆処理を行うことによって多重する多重手段と、
を備えることを特徴とするパケットスイッチ装置。

【請求項 2】 前記スイッチ手段は、少なくとも 1 つ設けられ、該スイッチ手
段の実装数に応じて、各スイッチ手段を論理的に複数のスイッチ手段に分割して
、パケットのスイッチングを行うことを特徴とする請求項 1 に記載のパケットス
イッチ装置。

【請求項 3】 前記振り分け手段、スイッチ手段、及び多重手段は、
入力するパケットが有する出力方路を示す T A G に対し、入力ハイウェイ毎に
異なる規定値を加算するオフセット加算手段と、

オフセット加算後の T A G に従って、対応するスイッチングポートに出力する
スイッチング手段と、

スイッチングポートを任意のハイウェイに対応付けるセレクト手段と、
複数のハイウェイを一つの出力ポートに多重するハイウェイ多重手段と
からなることを特徴とする請求項 1 に記載のパケットスイッチ装置。

【請求項 4】 前記パケットスイッチ装置は、パケットの入力側にパケットを
一時的に格納する入力バッファ手段を備え、

前記スイッチ手段の増設時には、一旦入力バッファ手段のパケット出力を停止
した後、前記振り分け手段、前記多重手段、及び前記スイッチ手段の増設、該振
り分け手段、該多重手段、及び該スイッチ手段の動作の変更を行い、その後、入
力バッファ手段のパケット出力を再開することにより、オンラインでスイッチ手

段の増設が可能であることを特徴とする請求項 1 に記載のパケットスイッチ装置

【請求項 5】 パケット単位でスイッチングを行うパケットスイッチ装置におけるスイッチであって、

入力するパケットが有する出力方路を示す T A G に対し、入力ハイウェイ毎に異なる規定値を加算するオフセット加算手段と、

オフセット加算後の T A G に従って、対応するスイッチングポートに出力するスイッチング手段と、

スイッチングポートを任意のハイウェイに対応付けるセレクト手段と、

複数のハイウェイを一つの出力ポートに多重するハイウェイ多重手段とからなることを特徴とするスイッチ。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、大規模パケットスイッチングにおけるパケットスイッチ装置に関する。

【 0 0 0 2 】

【従来の技術】

近年、インターネットの爆発的な普及や大容量・高品質な情報を扱うメディアの登場により、大容量データを柔軟に扱うことの出来る大規模な通信インフラの整備に期待が寄せられている。そして、現実の鍵となる数百ギガ～数テラオーダの容量を持つスイッチに関心が集まっている。

【 0 0 0 3 】

図 9 0 は、従来の入力バッファスイッチの構成例を示す図である。

入力バッファスイッチ構成において、クロスバースwitchは入力バッファの後段に位置し、縦横に入出力 H W （ハイウェイ）配置したときに出来るマトリクスにおいて、各交点を O N / O F F する単純スイッチである。入力バッファの出力時点でクロスバースwitchをバッファレス化することができる。すなわち、入力バッファ内において、入力されたパケットを出力ポート # 1 ～ # N へのパケット

毎に分けて格納し、例えば、出力ポート # 1 へ出力されるべきパケットがクロスバースイッチ内において衝突しないように、スケジューラがタイミングをはかって入力バッファから出力するようにする。

【 0 0 0 4 】

このようなクロスバースイッチの容量を拡張する場合、従来技術としてマトリクス状に多段に接続する方法と、同一HWをビットスライス化し、スイッチをパラレルに配置する方法が考えられている。

【 0 0 0 5 】

図 9 1 は、従来のクロスバースイッチの拡張方法であり、マトリクス状に多段にスイッチを接続して拡張する方法を示した図である。

図 9 1 では、最初、4 入力 4 出力の回線を 1 つのクロスバースイッチ 1 0 で主要していたものを、8 入力 8 出力に拡張する場合、クロスバースイッチ 1 1 - 1 ~ 1 1 - 3 をマトリクス状に増設することによって目的を達成する構成である。この構成においては、拡張方法は単純であるが、クロスバースイッチの数が拡張の度に 2 乗で増えていくので、ハードウェア構成が非常に大きくなってしまいうという難点がある。

【 0 0 0 6 】

図 9 2 は、同一HWをビットスライス化し、スイッチをパラレルに配置する従来の増設方法を示した図である。

図 9 2 の増設方法においては、最初、1 つの $M \times M$ マトリクススイッチが設けられていて、例えば、8 ビット長のパケット単位でスイッチングを行っていたとすると、次に増設するためには、8 ビット長のパケットを 4 ビットずつのデータに分割し、2 つの $M \times M$ マトリクススイッチでスイッチングするようにする。2 つの $M \times M$ マトリクススイッチでは、4 ビットずつのデータをパラレルに同じ出力HWへ出力するようにする。そして、出力HWで、4 ビットずつのデータを 8 ビットのパケットに再生して、出力する。

【 0 0 0 7 】

更に、図 9 2 のビットスライス方式で増設する場合には、1 つのパケットを更に分割して、必要な数のマトリクススイッチを設置する。8 ビット長のパケット

の場合、パケットを1ビットずつのデータに分割することができるので、最大8分割までできる。従って、マトリクススイッチも8個用意し、1つのマトリクススイッチが1ビットのデータをスイッチングするようにする。1つのパケットのビットデータは、同じ出力HWに出力され、8ビットのパケットが再生されて、送出される。

【0008】

【発明が解決しようとする課題】

図91の多段接続は拡張接続用のIFが必要なことやスイッチ規模の2乗に比例してハード量が増える。これに比べ、図92のビットスライス化はスイッチ規模に比例したハードで済むため、小型化が可能である。ただし、ビットスライスでもスイッチに収容するHWの入出力数が多い場合は、それに比例した入出力端子数が必要になってしまう。更に、スイッチの端子数を削減するため、スイッチのON/OFFの情報をパケット自身のTAG情報として付与する方法が考えられるが、ビットスライスの場合各ビット毎にTAG情報を付与する必要があり、オーバーヘッドが大きくなってしまいう問題があった。

【0009】

図93は、ビットスライス方式におけるデータへのタグの付与の例を示した図である。

8ビット長、63ワードからなるパケットのペイロードをパケット単位でスイッチングする場合には、このパケットに1つのタグを付ければよい。すなわち、図93では、8ビット長、1ワードからなるタグが付与されている。これをビットスライスし、1ビット長のデータに分割する場合、1ビット長、63ワードの分割されたペイロードに1ビット長、8ワードのタグをそれぞれ付し、個別のマトリクススイッチでスイッチングする必要がある。従って、データのワード数がパケット単位でスイッチングする場合64ワードであったものが、ビットスライスすると、71ワードに増えてしまいう問題がある。

【0010】

その他、以下のような課題があった。

- ・一つのスライスが故障するとパケット自体が壊れてしまう（完全なパケット

を送信することができない) ため、システムダウンになってしまう。

【 0 0 1 1 】

・ オンラインでの増設が出来ない。

本発明の課題は、大規模パケットスイッチにおいて、増設時にハードウェアの増加を減少しつつ、処理のオーバーヘッドも防ぐことの出来るパケットスイッチ装置を提供することである。

【 0 0 1 2 】

【課題を解決するための手段】

本発明のパケットスイッチ装置は、パケットをスイッチングするパケットスイッチ装置において、入力したパケットを、パケットを単位として到着順にシーケンシャルに複数のパスに振り分ける振り分け手段と、該振り分け手段から該複数のパスを介して入力されるパケットをスイッチングして、出力するスイッチ手段と、該スイッチ手段から出力されたパケットを、該振り分け手段のパケットの振り分け処理の逆処理を行うことによって多重する多重手段とを備えることを特徴とする。

【 0 0 1 3 】

本発明によれば、パケット単位で、スライスを行いスイッチングを行うので、スイッチングに使用する T A G をパケット毎に付加すればよく、従って、ビット毎に T A G を付加するビットスライス方式に比べ、処理のオーバーヘッドを削減することが出来る。

【 0 0 1 4 】

また、小容量のパケットスイッチを平行に配備することでパケットスイッチの容量を容易に増設することができるので、無用なハードウェアの増加を伴うことがない。

【 0 0 1 5 】

【発明の実施の形態】

図 1 は、本発明の第 1 の実施形態の原理を示す図である。

図 1 は、4 × 4 のクロスバースイッチを 2 面使用した場合の例である。本実施形態においては、パケット単位でスイッチングを行う。スイッチに入力するパケ

ットは、各面に対し周期的に同一順序で振り分けられる。すなわち、図 1 に示されているように、入力 HW # 0 には、4 つのパケットが入力されおり、A スロットのパケットは、出力 HW # 3 を行き先としている。同様に、入力 HW # 0 の B スロットは、出力 HW # 1 を行き先、C スロットは、出力 HW # 1 を行き先、D スロットは、出力 HW # 2 を行き先としている。同様に、入力 HW # 1 ~ # 3 には、それぞれ、スロット A ~ D に、それぞれ出力 HW # 0 ~ # 3 へのパケットが設定されて入力されている。そして、各スロットを 2 つのスイッチに交互に分配している。

【 0 0 1 6 】

スイッチ内では、それぞれ独立にパケットに付与された TAG (図 1 においては、スロット内に記載されている数値) を参照してスイッチングを行う。スイッチの後段では、スイッチ入力時の振り分けと同じ順序で多重する。ここで、スイッチ内は固定的な遅延時間しか発生しないため、パケットの順序逆転 (同一入力 HW から後に出力したパケットが先に出力 HW から出力される) は発生しない。よって、本方式により小容量のパケットスイッチを平行に配備することで容量を拡張することが出来る。以降、本実施形態の構成をパケットスライス方式と呼ぶ。

【 0 0 1 7 】

パケットスライス方式ではスイッチング TAG がパケット当たり 1 つで済むため、ビットスライスに比べオーバーヘッドを削減することが出来、パケットスイッチ装置内でパケット長を可変する事が生じない。また、あるスイッチが障害になっても他のスイッチを通過してパケットが通過するため、障害の影響を小さくすることができる。

【 0 0 1 8 】

図 2 は、本発明の第 2 の実施形態の原理を示す図である。

本実施形態は、4 × 4 のクロスバースイッチをパケットスライスにより 2 面使用し、かつ、スイッチのポート上で、2 HW を多重する場合の例である。スイッチ入力の前段では、パケットスライスの振り分け処理とともに、入力 HW # 0、# 1 / 入力 HW # 2、# 3 のパケットをそれぞれ一つのポート上に多重する。す

なわち、入力HW#0、#1のAスロットは、入力ポートの#0に振り分けられ、入力HW#2、#3のAスロットは、入力ポートの#1に振り分けられる。同様に、入力HW#0、#1のBスロットは、入力ポート#2に振り分けられ、入力HW#2、#3のBスロットは、入力ポート#3に振り分けられる。

【0019】

スイッチでは多重された2つのHWから来たパケットをひとまとまりとして扱い、パケットのTAGに応じてスイッチ後（図2では、例えば、入力ポート#0から入力されたパケットは、4×4スイッチによって順序が入れ替えられている）、そのまとまりの単位で出力ポート#0、#1／出力ポート#2、#3のパケットをそれぞれ一つのポート上に多重する。スイッチの後段では多重されたパケットを分離した後、各出力ポートに振り分けられたパケットを出力HW毎に多重する。ここで、図2の4×4スイッチは、2パケット単位で入力されるデータを1パケット単位でスイッチングするため使用される。すなわち、スイッチへの入力は、2入力2出力であるが、スイッチの内部においては、4×4スイッチとしてのスイッチングが行われる。

【0020】

以上により、スイッチ部のポート数を削減することが出来る。

図3は、本発明の第3の実施形態の原理を示す図である。

図3においては、図1に対し、スイッチ回路を1つのみ使用し、そのスイッチ回路を4×4スイッチではなく、2つの2×2スイッチで構成したものである。この構成では、図1に対し、同じHW速度で容量が半分のSWとして動作する。このように、スイッチ回路のポートを削減し、複数の分割した動作をさせることにより、容量に応じてスイッチ回路の実装数を可変にすることができる。

【0021】

動作は、図1の場合と同様であって、入力HW#0、#1のAスロットのパケットをそれぞれ入力ポート#0、#1に振り分け、入力HW#2、#3のBスロットのパケットを入力ポート#2、#3に振り分けるというように、交互に、各スロットのパケットを2つの2×2スイッチに振り分ける。2つの2×2スイッチによってスイッチングされたパケットは、出力ポート#0～#3から出力され

、交互に多重されて出力HW # 0、# 1 に出力される。

【 0 0 2 2 】

図 4、及び図 5 は、本発明の第 4 の実施形態の原理図を示す図である。

図 4 及び図 5 は共に 2 ポートずつの入出力を持つクロスバースイッチ (X B - S W) を使用した場合で、図 4 は、H W - I F 部 (ハイウェイインターフェース部) が全て 1 H W のみ収容の場合、図 5 は、H W - I F 部が 1 H W 収容のものと 2 H W 収容のものが混在した場合である。

【 0 0 2 3 】

図 4 の場合では、X B - S W を一つのみ使用し、全体で 2 × 2 のスイッチとして動作する。変換部は上り下りとも使用 H W と使用 X B - S W 間でパケットを送出し、X B - S W は H W 多重なしの 2 × 2 スイッチングを行う。

【 0 0 2 4 】

一方、図 5 の場合では、X B - S W を二つ使用し、全体で 4 × 4 のスイッチとして動作する。2 H W を収容する H W - I F 部の上り変換部は、二つの X B - H W への振り分けと、H W 多重を行う。2 H W を収容する H W - I F 部の下り変換部は、H W 多重分離と二つの X B - S W 部からの多重を行う。1 H W を収容する H W - I F の上り下り変換部は、未使用の H W 上はパケットが存在しないとして、2 H W を収容する H W - I F の変換部と同様の動作を行う。X B - S W 部は 2 H W 多重された 4 × 4 スイッチングを行う。以上のように変換部が、X B - S W 部動作差分を吸収することにより、異なる収容 H W - I F の混在を可能とすると共に、X B - S W は収容する H W - I F 種別に応じた必要最小限の枚数のみ実装することが可能となる。

【 0 0 2 5 】

図 6 は、W B - S W 部あるいは変換部として動作する回路のブロック構成を示す図である。

図 6 の回路は、2 入力 2 出力、2 H W 多重までサポートする、W B - S W 部あるいは変換部として動作する。カウンタは 2 H W 多重時 0 / 1 を交互に示し、H W 多重なしの時は常に 0 を示す。オフセット加算部は X B - S W 部適用時はパケットに付与された T A G に対し、変換部適用時はカウンタ値に対し、ポート毎に

設定されたオフセットを加算し、その結果を出力番号とする。なお、オフセット加算部に付随するレジスタは、オフセット加算部が加算すべきオフセット値を格納するものである。スイッチ部は出力番号で示されるポートにパケットをスイッチングする。セレクタはバッファとスイッチ出力ポートの対応をとる。また、セレクタに付随するレジスタは、セレクタが切替を行う時にどのポートを出力に接続するかを指示する設定値が格納されており、セレクタは、レジスタの設定値に基づいて切り替え処理を行う。バッファは多重用にパケットを一時的に保持する。多重セレクタはカウンタ値に従い、2 HW多重時はバッファを交互に読み出し、HW多重なしでは片方から読み出す。これにより、XB-SW部と変換部が同一の回路で実現できる。

【 0 0 2 6 】

例えば、図4のHW多重無しの2×2スイッチとして動作する場合、オフセット加算部では抽出したTAGをそのまま出力番号として使用し、出力番号に従ってスイッチング後、セレクタによりポート0はスイッチ出力#0を、ポート1はスイッチ出力#2を選択し、出力する。図5のHW2多重の4×4スイッチとして動作する場合、オフセット加算部では、抽出したTAGをそのまま出力番号として使用、出力番号に従ってスイッチング後、セレクタによりポート0はスイッチ出力#0と#1を、ポート1はスイッチ出力#2と#3を交互に選択し（カウンタが0/1を交互に示す）、出力する。図4のHW多重なしの変換部として動作する場合、カウンタ値は0固定で、入力ポート#0のオフセット加算部はカウンタ値をそのまま出力番号として使用、出力番号に従ってスイッチング後、セレクタによりポート0はスイッチ出力#0と#1を、ポート1はスイッチ出力#2と#3を交互に選択し、出力する。更にHW2多重の2×2-2面スイッチとして動作する場合は（図7の4×4スイッチを2HW多重とした場合）、#0のオフセット加算部では0を、#1では2をTAGに加算したものを出力番号として使用、出力番号に従ってスイッチング後、セレクタによりポート0はスイッチ出力#0と#1を、ポート1はスイッチ出力#2と#3を交互に選択し（カウンタは0/1を交互に示す）、出力する。

【 0 0 2 7 】

図 7 は、図 6 の回路の別の構成例を示す図である。

多重分離部は、ポート # 0 あるいは # 1 から入力されるパケットをカウンタのカウント値に基づいて多重分離し、それぞれのポート # 0 ~ # 3 に出力する。例えば、パケットを多重分離部の出力ポート # 0 と # 1 に交互に出力するようにする。このようにすると、2 パケット単位で入力されたデータをそれぞれのパケットに分解して、スイッチに入力することが出来るようになる。TAG 抽出部では、パケットに付加された TAG を抽出し、オフセット加算部に入力する。オフセット加算部はレジスタに格納された番号を基に、TAG の値にオフセット値を加算して、スイッチの入力ポート # 0 ~ # 3 に入力されるパケットを所望の出力ポート # 0 ~ # 3 に出力させる。スイッチの出力ポートから出力されたパケットは、セクタに入力される。

【 0 0 2 8 】

セクタでは、入力されたパケットの内、いずれかをレジスタに設定された値に基づいて出力し、バッファに入力する。バッファでは、セクタから出力されたパケットを一時的に格納し、多重セクタに入力する。多重セクタでは、出力ポートからパケットを送出するために、パケットを選択多重処理を行う。このようにして、入力されたパケットは、スイッチングを受けて、出力される。

【 0 0 2 9 】

図 8 は、スイッチ 4 面で、4 回線を収容する場合の構成例を示した図である。

この場合、上りの HW - I F (ハイウェイインターフェース) 部に入力した入力ハイウェイ # 0 ~ # 3 のデータは、振分部でタイムスロット毎に交互に振り分けられ、変換部に入力される。変換部は、図 6、及び図 7 で示したような構成をしており、2 入力 2 出力の変換部であり、入力された信号を分離多重して、実質 4 × 4 スイッチのような動作を行う。図 8 の変換部では、2 入力 2 出力の変換部が 2 つずつ接続されており、相互に交換接続する構成となっている。すなわち、入力ハイウェイ # 0 から入力されたデータは、振分部によって振り分けられた後、変換部に入力されるが、変換部における切替接続は、入力ハイウェイ # 0 から入力したデータ間のみではなく、入力ハイウェイ # 1 から入力されたデータとも切替接続される。

【 0 0 3 0 】

従って、図 8 によれば、入力ハイウェイ # 0 と # 1 からのデータは互いに切替接続され、入力ハイウェイ # 2 と # 3 からのデータは互いに切替接続されるが、入力ハイウェイ # 0、# 1 からのデータと入力ハイウェイ # 2、# 3 からのデータとは、変換部内では切替接続はされない。

【 0 0 3 1 】

変換部から出力されたデータは、パケット単位あるいは、タイムスロット単位で、それぞれ、4 つある X B - S W 部の 4 × 4 スイッチに入力される。4 × 4 スイッチでは、パケットデータを切替接続し、下りの H W - I F 部の変換部に入力する。下りの変換部は、上りの変換部と同様の構成を有しており、それぞれ、入力されたデータパケットを出力ハイウェイ # 0 ~ # 3 用多重部に振り分ける。多重部では、入力されたパケットデータを交互に多重しそれぞれの出力ハイウェイに出力する。

【 0 0 3 2 】

このようなデータパケットの振り分け動作の制御は、図 6 及び図 7 の各レジスタに格納する番号を調整することによって行う。

図 9 は、図 8 の構成における動作例を示す図である。

【 0 0 3 3 】

入力ハイウェイ # 0 ~ # 3 には、タイムスロット A ~ D にそれぞれ、出力ハイウェイが設定されたパケットが入力されている。上りの H W - I F 部の振分部では、例えば、タイムスロット A ~ D を交互に 2 つのポートに出力している。この結果、入力ハイウェイ # 0 からのデータが入力する振分部では、一方の出力ポートにパケット A 3 と C 0 を出力し、他方の出力ポートにパケット B 1 と D 2 を出力している。その他の振分部の動作も入力ハイウェイ # 0 の場合と同様である。

【 0 0 3 4 】

上りの H W - I F 部の変換部 1 5 では、入力されるパケットをタイムスロット毎に、X B - S W 部の 4 つの 4 × 4 スイッチに振り分ける。すなわち、図 9 の例では、タイムスロット A のパケットは、4 × 4 スイッチ 1 0 に、タイムスロット B のパケットは、4 × 4 スイッチ 1 1 に、タイムスロット C のパケットは、4 ×

4 スイッチ 1 2 に、タイムスロット D のパケットは、4 × 4 スイッチ 1 3 に入力される。

【 0 0 3 5 】

4 × 4 スイッチ 1 0 ～ 1 3 では、2 つのパケットを組として、出力ハイウェイ毎に切り替えて出力し、下りの HW - I F 部の変換部 1 6 に入力する。変換部 1 6 では、入力されたパケットを出力ハイウェイ毎に切替接続し、多重部に送る。多重部では、それぞれの出力ハイウェイに出力するために入力されたパケットを多重して出力する。

【 0 0 3 6 】

図 1 0 は、スイッチ 4 面で、2 回線を収容する場合の構成例を示した図である。

図 1 0 の場合、XB - SW 部の各スイッチとして、2 × 2 スイッチを 2 つずつ用意している。上りの HW - I F 部には、それぞれ入力ハイウェイ # 0 と # 2 が入力している。振分部では、それぞれの入力ハイウェイから入力されたパケットをタイムスロット毎に交互に振り分け出力する。変換部 2 0 では、振分部からの入力を切替接続し、XB - SW 部のスイッチ 2 2 と 2 3 にそれぞれ振り分ける。スイッチ 2 2、2 3 では、スイッチを切り替えて、下りの HW - I F の変換部 2 1 に入力する。変換部 2 1 では、入力されたパケットを切替接続して多重部に入力する。多重部では、各出力ハイウェイ # 0、# 2 へ出力すべきパケットを多重して出力する。

【 0 0 3 7 】

図 1 0 に示すように、2 回線 2 多重の場合のパケットスイッチでは、必要なスイッチは、2 × 2 スイッチを 2 つ組み合わせたスイッチが 2 つのみであり、スイッチを 4 面用意した場合には、残りの 2 つのスイッチは必要が無いことになる。

【 0 0 3 8 】

図 1 1 は、図 1 0 の動作を説明する図である。

入力ハイウェイ # 0、# 2 からは、各タイムスロット A ～ D に、出力ハイウェイ # 0、# 2 に向けられたパケットが配置されて入力されている。振分部では、これらのパケットをタイムスロット単位で交互に出力し、変換部 2 0 に入力して

いる。変換部 2 0 では、タイムスロット A と C のパケットをスイッチ 2 2 に、タイムスロット B と D のパケットをスイッチ 2 3 に入力する。スイッチ 2 2、2 3 では、各タイムスロットのパケットを出力ハイウェイ毎にスイッチングして出力し、変換部 2 1 に入力する。

【 0 0 3 9 】

変換部 2 1 では、受け取ったパケットをそのまま出力して、多重部に入力する。このようにして、各多重部には、出力ハイウェイ # 0 と # 2 へ向けたパケットが入力されるので、各多重部では、これらを多重して出力ハイウェイ # 0 と # 2 にパケットを出力する。

【 0 0 4 0 】

図 1 2 は、本発明の実施形態におけるスイッチの増設処理の流れの原理図を示す図である。

X B - S W のオンライン増設時において、パケット導通中に変換部、X B - S W の動作を変更すると、パケットが目的の H W とは異なる H W に出力されるか、破棄されてしまう可能性がある。そこで、動作モード切替前に入力バッファ（前述の実施形態においては明示しなかったが、実際には、パケットの入力待ちなどを行うために設けられている）の読み出しを一旦停止し、変換部、X B - S W 部のパケットが全て出力し終わった後、動作モードを変更し、入力バッファからパケットの出力を再開することで、これを回避することが出来る。一連の処理はスイッチ制御部が指示を行う。

【 0 0 4 1 】

図 1 3 は、図 1 2 のスイッチ制御部の動作フローを示すフローチャートである。

まず、スイッチ制御部は、X B - S W のオンライン増設の際には、ステップ S 1 において、バッファ読み出し停止指示を出力する。これにより、バッファからは、パケットが出力されなくなる。次に、ステップ S 2 において、X B - S W 内のパケットの吐き出しが完了するまで待つ。これは、X B - S W の出力側で、所定時間待ってもパケットが出力されなくなることを検出することによって、パケットの吐き出し完了を確認することなどによって行う。X B - S W のパケットの

吐き出し完了が確認されると、ステップ S 3 において、X B - S W を増設し、動作モードの切り替え、すなわち、新しいスイッチングの設定を行い、ステップ S 4 において、バッファからのパケットの読み出し再開指示を出力する。これにより、オンラインのままで X B - S W を安全に増設することが出来る。

【 0 0 4 2 】

図 1 4 は、X B - S W のオンライン増設時の処理の流れの別の原理図を示す図である。

動作モード切り替えにおいては、切り替え中入力バッファの読み出しを止めるが、この間に到着したパケットはバッファに蓄えられる。そのためモード切替により遅延が発生する。データトラフィックは遅延が多少あっても破棄が無いほうが好ましいが、例えば、電話のように破棄による多少のノイズよりは遅延の影響の方が大きい場合もある。そこで、トラフィックの種類によって到着パケットを破棄するかバッファに蓄えるかを選択することにより、これに対処する。パケットにトラフィック種別の識別子を付与しておき、この識別子に従い、切替中処理テーブルを参照する。切替中処理テーブルには、どの識別子のパケットは破棄し、どの識別子のパケットは入力バッファに蓄えるかを登録した物である。例えば、データトラフィックのパケットは、入力バッファに格納されるが、音声トラフィックのパケットの場合には破棄される。このように、切替中処理テーブルの参照の結果に従い、パケットを破棄するか入力バッファに蓄えるかの処理を行う。ここで、入力バッファもトラフィック種別毎にキューが分かれていれば、遅延しないことを優先したいパケットは、遅延を起こさないことを優先しないためにバッファリングされるパケットが大量に入力バッファに存在するために動作モード切替終了後に遅延が残ってしまうという影響を避けることが出来る。

【 0 0 4 3 】

図 1 5 は、本発明の実施形態に従ったパケットスイッチの別の構成例を示す図である。

パケットスイッチの X B - S W 部の実装枚数を変更する場合、図 6 及び図 7 に示されるオフセット加算用とセレクタ選択用のレジスタを変更する必要がある。これらはポート毎に存在するので、X B - S W 部の実装枚数を変更する（増設す

る) 度に手入力で設定を行っていたのでは、大規模スイッチの場合、変更数が多く設定に時間がかかってしまう。これによりバッファ停止時間が長くなってしまい、品質劣化が大きくなる。これを避けるため、予めシステムで存在する実装枚数分だけレジスタを複数面用意する。各レジスタには実装枚数に応じた設定値を予め設定しておき、実装枚数に応じ、対応するレジスタを参照することにより、実装枚数時のレジスタ設定量を削減し、バッファ停止時間を短くすることが出来る。パケットスイッチの管理者は、実装枚数レジスタを設定することにより、オフセット加算部やセレクタに与えられるレジスタ値が変更されるので、多くのレジスタ値の変更を簡単な処理で済ませることが出来る。

【 0 0 4 4 】

図 1 6 は、図 1 5 の構成例の変形構成を示した図である。

図 1 5 では、システムで存在する実装枚数が多い場合、レジスタ数が膨大になりハード規模に大きな影響を与える可能性がある。これを避けるため、レジスタを 2 面のみ用意する。片方を運用面、もう一方を書き換え面として使用し、実装枚数変更時は予め書き換え面を変更してからバッファ停止を行い、その後、動作モードの変更を行う。これにより、小さなハード規模でバッファ停止時間を短くすることが出来る。例えば、図 1 6 において、0 面を現在使用している、すなわち、運用面であるとする、1 面に新たなレジスタ値を設定した後、必要な作業を行ってから、運用面指定レジスタの設定値を“1”に変更する。今度は、運用面が1面となり、0面が書き換え面となる。更に、書き換えが必要になる場合には、現在の書き換え面である0面に新しいレジスタ値を設定し、運用面指定レジスタ値を“0”とする。すると、0面が運用面となり、1面が書き換え面となる。このように、0面と1面を交互に使用することにより、ハード規模を大きくすることなく、XB-SW部の増設作業を迅速に行うことが出来るようになる。

【 0 0 4 5 】

図 1 7 は、図 1 6 の実施形態における増設時処理の流れを示すフローチャートである。

まず、ステップ S 1 0 において、書き換え面レジスタの更新を行う。次に、ステップ S 1 1 において、バッファ読出停止指示を行い、ステップ S 1 2 において

、XB-SW部からのパケットの吐き出し完了の待ち合わせを行う。そして、ステップS13において、運用面の切替指示をおこない、ステップS14において、入力バッファの読出再開指示を行う。

【0046】

以上により、オンライン増設可能なパケットスイッチが実現可能となる。

図18は、本発明の実施形態を実際の装置として組み立てる場合の実装例を示した図である。

【0047】

図18においては、各HWは、8面設けられている上り側バッファ（upward Buffer）のそれぞれに接続される。上り側バッファには、振り分け部（DIVで表されている）が設けられており、DIVにおいて、8本の回線に分岐される。これらは、全て、スイッチLSIに接続される。スイッチLSIには、8面のバッファからの8回線を全て収容するために入力ポートと出力ポートが64個ずつ設けられている。スイッチLSIでは、前述した実施形態のようなスイッチングが行われる。スイッチングされたパケットは、スイッチLSIの出力ポートから出力され、8面設けられている下り側バッファ（downward Buffer）のそれぞれに入力される。下り側バッファには、多重部（MRGで表されている）が設けられ、8本の回線から入力されるパケットを多重して、HWに出力する。

【0048】

図19は、図18のスイッチLSIを8面設けて、より大容量のパケットスイッチを構成した場合の構成例を示した図である。

図19においては、図18のスイッチLSIを8面並列に配置し、バッファ（BUF）からの8本ずつの回線をそれぞれのスイッチLSIに接続している。これにより、図18の場合に比べて、8倍の容量のパケットスイッチが構成できる。バッファにおけるパケットの振り分け方や、スイッチLSIにおけるスイッチングの仕方については、前述したとおりである。図19の場合には、上り側と下り側のバッファは、スイッチLSIが8面設けられたことに伴い、 $8 \times 8 = 64$ 面設けられる。前述したように、スイッチLSIには、入力及び出力ポートが64個ずつ設けられており、各上り側バッファから1本ずつの回線を、1つのスイ

ッチ L S I の入力ポートに接続し、1つのスイッチ L S I の出力ポートからの回線は、1本ずつ下り側バッファに接続している。

【 0 0 4 9 】

図 2 0 は、図 1 9 のパケットスイッチの 2 倍の容量のパケットスイッチを構成する場合の構成例を示す図である。

図 2 0 の場合、上り側と下り側のバッファは、1 2 8 面ずつ設けられている。これらバッファは、入力パケットを 8 面設けられる上り側変換部 (U-CNV) に入力する。上り側変換部は、入力パケットをタイムスロットに従って、交互に切替接続し、2 方路に分配する。上り側変換部は、8 面からなる変換部を 2 セット組み合わせて 1 セットとし、これを 3 2 セット設けた構成となっている。上り側変換部で 2 方路に分けられたパケットは、それぞれ、上側スイッチ L S I 3 0 と下側スイッチ L S I 3 1 に分配される。そして、スイッチ L S I は、上側スイッチ L S I 3 0 と下側スイッチ L S I 3 1 を 1 セットとして、8 セット設けられている。

【 0 0 5 0 】

下り側変換部 (D-CNV) は、上り側変換部と同様の構成となっている。スイッチ L S I から出力されたパケットは、下り側変換部において、切替接続され、下り側バッファににおいて多重されて、出力 H W に出力される。

【 0 0 5 1 】

図 2 1 は、スイッチシステムの 2 重化について説明する図である。

図 2 1 の 2 重化構成では、図 1 8 ~ 図 2 0 のスイッチ構成の内、バッファ部とスイッチ部をまとめて切り替え単位とする。この切り替え単位は、現用系 (A C T 系) と予備系 (S B Y 系) の 2 系統が設けられる。現用系用と予備系用とにそれぞれ設けられた拡張 I F カード部に入力されたパケットは、コピーされて、現用系と予備系の切替部に入力され、それぞれ現用系と予備系のバッファ部 + スイッチ部において、スイッチング処理が行われた後、再び、現用系と予備系の切替部にそれぞれ入力される。切替部は、現用系、予備系共に、受け取ったパケットのコピーを生成し、2 つ設けられている拡張 I F カード部に送信する。ここで、拡張 I F カード部は、現用系から入力されたパケットのみを選択入力し、予備系

からのパケットは破棄する。そして、拡張 I F カード部からは、現用系においてスイッチングされたパケットのみが出力される。なお、図 2 1 の切替部は、現用系と予備系を切り替えるために設けられているものである。

【 0 0 5 2 】

図 2 2 は、バッファ部の 2 重化構成を説明する図である。

拡張 I F カード部に入力されたパケットは、現用系（A C T 系）と予備系（S B Y 系）の切替部でコピーされる。そして、このコピーされたパケットは、それぞれ、現用系のバッファカードと予備系のバッファカードに入力される。ここで、拡張 I F カード部あるいは、バッファ部において、パケットが現用系のものか予備系のものかを判別する手段を設けておき、予備系バッファカードを介しては、パケットがスイッチ部に入力されないようにしておく。この場合、単に、予備系のバッファカードの出口を閉鎖しておくという方法を使用しても良い。

【 0 0 5 3 】

このようにして、パケットはスイッチ部に入力される。スイッチ部では、パケットをスイッチングした後、パケットをデータコピーして、同じパケットを 2 つ作り、それぞれ、現用系と予備系のバッファカードに入力する。現用系バッファカードと予備系バッファカードから出力されたパケットは、拡張 I F カード部の現用系と予備系の切替部にそれぞれ入力され、現用系バッファカードから送信されてきたパケットのみが出力される。

【 0 0 5 4 】

図 2 3 は、スイッチ部の $N + 1$ 重化構成の例を示す図である。

図 2 3 の構成では、スイッチ部に、現用系（A C T 系）として、 64×64 スイッチ L S I を N 枚用意し、予備系（S B Y 系）として、 64×64 スイッチ L S I を 1 枚用意する。バッファカードには、バッファの他に、変換部として動作するスイッチ L S I を設け、スイッチ部にパケットを入力する側のスイッチ L S I では、現用系のスイッチ L S I に入力されるパケットのいずれも切替によって予備系のスイッチ L S I に入力可能なように構成する。また、スイッチ部からのパケットを受け取り、バッファに入力する側の変換部として動作するスイッチ L S I では、現用系の N 枚のスイッチ L S I からパケットを受け取ると共に、切替

によって、予備系のスイッチ L S I からのパケットも出力可能となるように構成する。

【 0 0 5 5 】

図 2 4 は、スイッチ部の 2 重化構成の例を示す図である。

図 2 4 の構成では、スイッチ部に、全く同じ枚数で同じ構成のスイッチカードの組を現用系と予備系用に 2 系統設ける。バッファカードでは、変換部として動作するスイッチ L S I において、パケットをコピーし、現用系のスイッチカード群と予備系のスイッチカード群に入力する。スイッチ部からスイッチング後のパケットを受け取る、変換部として動作するスイッチ L S I においては、両系からパケットを受け取った後、現用系のパケットのみを転送し、予備系のパケットを破棄する。現用系のスイッチカード群から転送されたパケットは、バッファを介して送出される。

【 0 0 5 6 】

図 2 5 は、X B - S W 部と変換部の両機能を実現する回路のブロック構成を説明する図である。

図 2 5 の冗長選択部 (Redundant Selector 部) は、N + 1 冗長構成の現用系と予備系の切り替えを行うブロックであり、冗長入力 (R D D) から受信したデータを必要に応じて現用系の出力と切り替える構成である。現用ビットフィルタリング部 (A C T bit Filtering 部) は、入力されるデータパケットの A C T ビットフィールドに、当該データパケットが現用系のものか否かを示す “1” が設定されているか否かを判別し、“1” が設定されていなかった場合には、そのデータパケットを破棄する機能を有するブロックである。マトリックススイッチ部 (Matrix Switch 部) は、以下の機能を持つ。

- ・データパケットのスイッチング機能：スイッチング機能は、パケットに付加された T A G に基づいてスイッチングするモードと、タイムスロットの位置に従ってスイッチングするモードとを有する。
- ・入力回線番号付与 (T A G 値変換) 機能：パケットに付加された T A G 値より、宛先 (出力回線) 情報を抽出後、その値を入力回線番号に書き換える。
- ・オフセット値加算機能：基本スイッチング情報 (宛先情報又はセレクト信号カ

ウンタ値（図 6、7 参照））に、予め設定したオフセット値を加算し、最終的なスイッチング情報を生成する。オフセット値の設定により X B - S W 部や変換部の機能を実現する。

・入力ポートスヌーピング機能（S N I P 機能）：指定入力回線のデータを試験用出力回線にコピーする。

【 0 0 5 7 】

また、データコピー部（Data Copy 部）は、入力したパケットのコピーを生成するブロックであり、入力データを設定に従って、複数の HW に出力する機能を有する。特に、A P S（Automatic Protection Switching）機能をサポートするのに使用可能である。また、2 回線の時多重や出力ポート毎にパケットの出力停止を行ったり、指定出力回線のデータを試験用出力回線にコピーして S N O P 機能（出力ポートスヌーピング機能）を提供する。冗長コピー部（Redundant Copy 部）は、N + 1 冗長構成の現用／予備系の切り替え機能を提供する。すなわち、現用の入力データから 1 回線を選択して、冗長用出力（R D D）に出力するものである。

【 0 0 5 8 】

図 2 6 は、本発明の実施形態のスイッチング方式を説明する図である。

まず、外部 HW からバッファカード # 0（バッファカードは全部で 6 4 枚あるとしている）に入力したパケットは、到着順にパケット単位で 8 列にスライス（分割）する（1）。図 2 6 の場合、シーケンス番号が 0 と 8 のパケットがスライス # 0 に、1 と 9 がスライス # 1 にスライスされ、同様に、スライス # 7 までスライスが行われている。次に、スライス化された各パケット列を、互いに異なるスイッチ L S I に転送する（2）。次に、スイッチ L S I では、通常のスイッチングを行い、宛先 HW のバッファカードへ転送する（3）。そして、出力側のバッファカードで 8 スライスのパケット群を多重し、送出する（4）。

【 0 0 5 9 】

図 2 7 は、図 2 0 の構成に対応する動作を説明する図である。

なお、図 2 7 においては、8 つあるスライスの内の一つについてのみ記載している。

【 0 0 6 0 】

まず、入力データをバッファ部でパケットスライス化し、スライス毎に異なる上り側変換部（U-CNV）へ転送する（1）。次に、各U-CNVにおいて、タイムスロットに従い出方路へパケットを分配する。すなわち、先到着（シーケンス番号0）のパケットをスイッチLSI#0へ、後到着（シーケンス番号8）のパケットをスイッチLSI#1へ転送する（2）。スイッチ部（SW部）では、各スイッチLSIにおいて、TAGに従いスイッチングをする。すなわち、宛先バッファを収容する下り側変換部（D-CNV）に接続された出方路から、パケットを転送する。このとき、各出力において、宛先番号が小さい方のパケットを先に転送する（3）。各D-CNVでは、タイムスロットに従い、出方路のパケットを分配する（（2）と同様の処理）（4）。そして、出力側のバッファにおいて、8スライス化されたデータを多重し、シーケンス順に転送する（5）。

【 0 0 6 1 】

ここで、SW部のスイッチLSIとU-CNV、D-CNVのスイッチLSIとは同じものであるが、動作モードが異なる。すなわち、SW部では、パケットをTAGに従ってスイッチングする。これに対し、U-CNV、D-CNVでは、2入力をタイムスロットに従って2方路に分配し、TAGの値は参照しない。

【 0 0 6 2 】

図28は、スイッチ分割設定を行う場合の説明をする図である。

スイッチLSIは、縮小スイッチ（収容するHWが少ない場合の）構成時には、LSIのリソースを有効活用する目的で、1つのLSIを論理的に分割して複数の縮小スイッチとして動作する。この機能は、マトリックススイッチ部において、各入力ポートにオフセット値を設定することによって実現される。

【 0 0 6 3 】

図28では、上り側バッファが#0～#15までの16個、下り側バッファも#0～#15までの16個設けられている。また、スイッチLSIは#0と#1の2個が設けられており、それぞれが4分割されている。オフセットの設定値は、ポート番号が#0～#15のポートに対しては“0”であり、ポート番号が#16～#31に対しては“16”であり、ポート番号が#32～#47に対して

は“32”であり、ポート番号が#48～#63に対しては“48”となる。

【0064】

このように設定することによって、スイッチLSI#0、#1をそれぞれ4つに分割し、それぞれを16×16のスイッチとして使用することが可能となる。オフセット値によって形成された分割スイッチの出力は、16個設けられている下り側バッファ#0～#15にそれぞれ入力され、多重された後、転送される。

【0065】

図29は、図28の動作を説明する図である。

各入力ポートで、入力されるパケットのヘッダのTAG値（宛先情報；基本スイッチング情報）に、予め設定されたオフセット値を加算し、その和（最終的なスイッチング情報）に従って、スイッチングを行う。各入力ポートに付与するオフセット値は、予め外部よりレジスタに設定することにより与える。

【0066】

図29においては、まず、オフセット値“0”の分割スイッチに入力される。パケットは、例えば、TAGが“15”の場合、TAGに“0”を加えた結果、ポート#15に転送される。また、TAGが“0”の場合には、TAGに“0”を加えた結果、ポート#0に転送される。また、ポート#0に転送されたパケットは、バッファ#0に転送される。同様に、ポート#15に転送されたパケットは、バッファ#15に転送される。

【0067】

オフセット値が“16”の分割スイッチに入力されるパケットの場合、TAGが“0”の場合には、TAGに“16”を加算した結果、ポート#16に転送され、TAGが“15”の場合には、TAGに“16”を加算した結果、ポート#31に転送され、TAGが“N”の場合には、TAGに“16”を加算した結果、ポート#(N+16)に転送される。そして、ポート#16に転送されたパケットは、バッファ#0に、ポート#31に転送されたパケットはバッファ#15に、ポート#(N+16)に転送されたパケットは、バッファ#Nに転送される。

【0068】

このように、パケットは、スイッチLSIにおいてスイッチングを受ける場合には、オフセット値が加算されたポートに出力されるが、出力するバッファは、もともとのTAGの値が示しているバッファとなる。

【0069】

図30は、スイッチLSIのクロスコネクト機能を説明する図である。

図20の構成を適用する場合の変換部（U-CNV、D-CNV）に使用されるスイッチLSIのスイッチング動作は、基本スイッチング情報として、パケット中の宛先TAGの値を参照するのではなく、全ての入力ポートに対して共通に与えられるタイムスロットに従った値を参照する。従って、各タイムスロットのパケットを適切に分配するためには、基本スイッチング情報（今の場合、0に設定されている）に適切なオフセット値を加算するように構成する必要がある。そこで、各入力ポートで、基本スイッチング情報に、異なるオフセット値を加えてやることで、それぞれに固定的な出力ポートを指定する。これにより、入力ポートは、それぞれ異なる出力路を有することが可能となる。

【0070】

すなわち、図30に示されるように、U-CNV、D-CNVとして使用されるスイッチLSIは、パケットのTAGを基本スイッチング情報とはしておらず、どのポートも基本スイッチング情報は固定値（図30の場合、“0”）に設定されている。従って、各ポートから入力するパケットを出力ポートに適切に分配するためにオフセット値を設定する。図30の設定方法では、ポート#0には、オフセット値として“36”が与えられているので、パケットは、ポート#36に切替接続される。同様に、ポート#1はポート#37に、ポート#36はポート#0に、ポート#37はポート#2に、ポート#38はポート#4に切替接続される。

【0071】

図31は、スヌーピング機能について説明する図である。

SNIP（Snooping of Incoming Port）機能は、指定回線から入力されるデータパケットを、試験用の回線にコピー出力する機能である。SNIP対象回線に対して、同数の試験用回線が必要である。また、試験用の回線には、通常の

出力回線が使用される。従って、SNI P機能を使用する場合、実質的なスイッチング容量は減少する。

【0072】

図31に示されるように、SNI P対象回線から入力されたパケットは、スイッチ部内で通常のスイッチング用パケットとスイッチング対象外のパケットの2つのコピーされ、スイッチング対象外のパケットは、SNI P試験用回線に送信される。従って、入力側からSNI P試験用回線への方路は固定なので、この方路はスイッチングにしよう出来ないため、スイッチ部のスイッチング容量は減少するが、試験を行うためには必要な構成である。

【0073】

SNO P (Snooping of Outgoing Port) 機能は、指定回線から出力されるデータパケットを、試験用の回線にコピー出力する。SNO P対象回線に対して、同数の試験用回線が必要である。また、試験用の回線には、通常の出力回線が使用される。従って、SNO P機能を使用する場合、実質的なスイッチング容量は減少する。

【0074】

図31に示されているように、SNO P対象回線へと出力されるパケットは、スイッチ部において、コピーされ、2つのパケットの内、1つがSNO P試験用回線に送信される。従って、入力側からパケットを入力してもSNO P試験用回線には、出力することが出来ないので、実質的なスイッチング容量を減少することになるが、スイッチ部の試験を行うためには必要な構成である。

【0075】

図32は、N+1冗長構成ACT/SBY切り替え機能を提供するための構成例を示す図である。

システムとしてスイッチカードのN+1冗長構成を適用する場合、スイッチ/バッファカード間のデータパケットフローをACT系からSBY系に切り替える機能が要求される。この切り替え機能をバッファカードに搭載されたスイッチLSIが提供する。図32に示すように、U/D-CNV 8個に対して1つのセレクタ及びRDD入出力インターフェースを有し、それらはSBY系のスイッチに

接続される。なお、図 3 2 では、各 U/D-CNV の入出力 HW 2 つを 1 本にまとめて記してある。従って、実際には、RDD 及びセクタは各 1 ペア存在する。

【 0 0 7 6 】

図 3 3 は、図 3 2 の N + 1 系の切り替え手順を説明する図である。

図 3 3 においては、各 U-CNV (変換部) からの出力データは、対応する RDD セクタに常時コピーされ、セクタに転送される。あるスイッチ (SW) で障害が検出された場合、障害アラームを受け取ったプロセッサは各 RDD セクタに選択信号を送信する。信号を受信したセクタは、障害が発生した SW に接続された U-CNV からのデータを選択し、SBY 系のスイッチ (SW) に転送する。SBY 系 SW から出力されたデータは、RDD からセクタに送信され、セクタは、プロセッサからの選択信号により指定された出力ポートにデータを転送する。

【 0 0 7 7 】

図 3 4 は、ACT ビットフィルタリング機能を説明する図である。

システムとしてスイッチ部の 2 重化またはバッファ部の 2 重化構成を提供する場合、SBY 系バッファカードまたはスイッチカードから入力されるデータを破棄する必要がある。

【 0 0 7 8 】

図 3 4 に示されるように、ACT 系及び SBY 系の ACT ビットフィルタリング部では、ACT 系及び SBY 系のバッファカードから送信されてくるパケットのヘッダに格納される ACT ビットを検出し、ACT 系のバッファカードから送信されてくるパケットのみ、次段の D-CNV を含むバッファカードに送信する。また、D-CNV を含む次段のバッファカードにおいては、ACT 系の ACT ビットフィルタリング部からのパケットのみを通過させ、他方のパケットは破棄する。

【 0 0 7 9 】

以下に、XB-SW 部と変換部の両機能を実現する回路をスイッチ LSI として実現した場合の XB-SW 部として動作する SW モードについて説明する。

図 3 5 は、マトリックススイッチ部の論理構成を説明する図である。

【 0 0 8 0 】

本実施形態では、2 パケット同時処理の実現のため、スイッチ内部では 1 出力 HW を 2 ポートに分離した 64×128 マトリックススイッチとする。入力ポートでは、到着順にパケットを 64×128 マトリックススイッチに転送するが、同期フレームを基準に 2 パケット単位を意識した処理となる。これは、入力パケットの TAG 値に付与された 128 通りの宛先が、この 2 パケット単位で重複しないことが保証されるためである。なお、出力ポートはデータコピー部の 2 → 1 セレクタで HW 多重される。また、バッファ部におけるフレーム組み立て機能をサポートするために、TAG 値より宛先を抽出した後、TAG に入力回線番号を付与する。

【 0 0 8 1 】

すなわち、図 3 5 においては、HW # 0、# 1、# 63 から入力された 2 パケットは、 64×128 マトリックススイッチによって切替接続され、それぞれポート # 0、# 1、# 2e、# 2e + 1、# 126、# 127 に出力される。ポート # 0 と # 1 からは、それぞれ同じ出力 HW # 0 に出力されるべきパケットが出力され、データコピー部において多重されて、HW # 0 に出力される。同様に、ポート # 2e、# 2e + 1 から出力されたパケットは、データコピー部において多重され、HW # e に、ポート # 126、# 127 から出力されたパケットは、データコピー部において多重され、HW # 63 に出力される。

【 0 0 8 2 】

図 3 6 は、図 3 5 のマトリックススイッチ部のデータフローを説明する図である。

まず、各入力ポートにおいて、到着パケットを TAG に従ってスイッチングし、該当する出力ポートへ出力する。このとき、抽出した TAG の値（宛先ポート番号）を参照して内部マトリックス状態を決定し、セルフスイッチング TAG に各入力回線番号を付与（TAG 変換）する。ここで、TAG 値より宛先ポート番号を抽出した後、入力回線番号に書き換える。1 HW に 2 回線が多重されるので、同期フレームを基準に 2 つの回線番号を交互に付与する。（1、2）

図 3 7 は、マトリックススイッチ部回路構成を示す図である。

【 0 0 8 3 】

図 3 7 において、TAG 抽出ブロックは、入力されたデータパケットの TAG (宛先情報) を抽出する。宛先情報は、“基本スイッチング情報”として SW / CNV - モードセクタ (同じ構成のスイッチ L S I をマトリックススイッチとして使用するか、変換部として使用するかを切り替えるセクタ) を経由してオフセット加算部へ転送される。また、同時に TAG 値の有効情報を 1 ビット転送する。

【 0 0 8 4 】

HW 多重設定レジスタは、HW 多重方式適用 / 非適用 (1 つのハイウェイに 2 パケットを多重するか否か) の識別用に外部より設定される。このレジスタ値は、セクタ信号カウンタ及びデータコピー部の 2 → 1 セクタによって参照され、その動作を規定する。

【 0 0 8 5 】

図 3 8 は、図 3 7 のセクタ信号カウンタを説明する図である。

セクタ信号カウンタは、入力回線番号付与 (TAG 変換) 部の動作信号を供給する。

【 0 0 8 6 】

図 3 8 に示されているように、内部カウンタ (1 ビット) は、HW 多重設定レジスタを参照して以下のように動作する。

- ・ HW 多重有り ; カウント動作 (H i g h [1] と L o w [0] の繰り返し)
- ・ HW 多重無し ; カウント停止 (常時 L o w [0])

なお、このカウント動作は、フレームパルスを基準に H i g h にセットされ、スイッチ L S I 内部のパケット処理用クロックに同期する。

【 0 0 8 7 】

セクタ信号カウンタの出力は、以下の 2 つに分岐する。

- ・ 内部カウンタ値をそのままセクタ信号カウンタ出力として出力する。入力回線番号付与 (TAG 変換) 部へ入力される。
- ・ 図 3 8 のカウンタ値変換部でカウンタ値を H i g h [1 6] 、 L o w [0] に

変換し、そこに、1ビットの有効情報 (Enable bit) を付加して出力する。これは、基本スイッチング情報として、SW/CNVモードセレクタに入力される。

【0088】

したがって、図37のSW/CNVモードセレクタは、基本スイッチング情報を参照し、CNVモードの時は、前述のクロスコネクトとしての機能をマトリックススイッチに行わせ、SWモードの時は、TAG抽出ブロックを選択して、宛先TAG情報に従ったスイッチングをマトリックススイッチに行わせる。

【0089】

図39は、図37のオフセット加算部の説明をする図である。

オフセット加算部は、基本スイッチング情報に、予め設定されたオフセット値を加算して最終的なスイッチング情報を生成し、マトリックススイッチに転送する。オフセット加算部は、以下の機能を実現する。

- ・スイッチ分割機能；SWモード（スイッチLSIのマトリックススイッチをTAG情報に基づいてスイッチングさせるモード）
- ・クロスコネクト機能；CNVモード（スイッチLSIを変換部として機能させるモード）

オフセット加算部のオフセット設定レジスタには、予め[0～127]が7ビットコードで外部より設定される。デフォルト値は[0]である。加算器では、SW/CNVモードセレクタから受信した基本スイッチング情報に、オフセット設定レジスタの値を加えた結果を、スイッチング情報としてマトリックススイッチへ転送する。

【0090】

図40は、図37の入力回線番号付与部を説明する図である。

入力回線番号付与部は、入力される全てのパケットのTAGフィールドに、送信元（入力）回線番号を書き込む。

【0091】

TAG変換器は、以下の2つの信号を受信する。

- ・TAG抽出ブロックからのデータパケット；(1)

・カウンタからの付与すべき入力回線番号の値（7ビット）；（4）

（1）から入力されたパケットのTAGフィールドを（4）から受信した値と変換してマトリックススイッチへ転送する（3）。

【0092】

セクタは、セクタ信号カウンタからの信号（2）を、動作信号としてLowの時は、入力回線番号設定レジスタ0（IHWLN-0）を選択する；（5）Highの時は、入力回線番号設定レジスタ1（IHWLN-1）を選択する；（6）

選択されたレジスタの値は、そのままTAG変換器に転送される。；（4）

（HW多重非適用（1つのHWに2パケットを多重しない）時は、（2）からの信号は常にLowなので、入力回線番号設定レジスタ0が常時選択される）

入力回線番号設定レジスタ0／1は、付与すべき入力回線番号が7ビットコードで外部より設定される。

【0093】

HW多重適用（1HWに2パケットを多重する）時は、同一HWに多重される2つの回線番号を、それぞれのレジスタに設定する。この場合、フレームパルスを基準として最初にHW上に多重される回線の番号をレジスタ0に設定する。

【0094】

HW多重非適用時は、レジスタ0のみが使用される。

図41は、図37のマトリックススイッチを説明する図である。

マトリックススイッチは、オフセット加算部から受信したスイッチング情報を、デコーダにより128ビットマップに展開し、その値を元にセクタの状態を決定し、入力回線番号付与部から受信する64個のポートからのデータパケットを128方路にスイッチングする。

【0095】

デコーダは、オフセット加算部より7ビットのスイッチング情報と1ビットの有効情報を受信する。有効情報が「有効」の時は、スイッチング情報を128ビットマップにデコードして、各セレクト信号セクタに転送する。有効情報が「無効」のときは、ALL0（全てのビット値が0）を出力する。すなわち、該当

する入力回線番号付与部からのデータパケットはセレクトタにより選択されないことになる。

【 0 0 9 6 】

セレクト信号セレクトタは、S N I P Enable情報が有効の時は、S N I P回線を“セレクト信号”としてセレクトタに送信する。S N I P Enable情報が無効の時は、スイッチング信号をセレクト信号として出力する。

【 0 0 9 7 】

ここで、スイッチング信号中に2ビット以上有効ビットが存在した場合には、セレクト信号はA L L 0として出力する。すなわち、出力回線競合のためセレクトタを閉鎖し、データパケットを通過させない。

【 0 0 9 8 】

このとき、破棄したパケット数をカウントする。このためのカウンタは、35ビットとし、最大値で停止する。また、T A Gビットエラー状態フラグを保持する（I Pパケットのヘッダに含まれる）。

【 0 0 9 9 】

S N I Pは、内部にS N I P設定レジスタ（7ビットコード）とS N I P Enable レジスタ（1ビット）を装備し、セレクト信号セレクトタに対して、S N I P Enable 信号（1ビット）とS N I P回線信号（64ビットマップ）を出力する。

【 0 1 0 0 】

S N I Pの設定方法は、H W多重方式適用／非適用によって以下のように異なる。

H W多重非適用時：常にS N I P設定レジスタ値を出力

H W多重適用時：1 H W上に2回線が多重されているので、S N I Pの設定された回線が使用している該当のタイムスロットだけを、有効にしないといけないため、以下のように動作する。

【 0 1 0 1 】

S N I P設定レジスタの最下位bitが

[0] の場合；フレームパルスを基準に偶数番のタイムスロットではS N I P設

定レジスタの上位 6 ビットをデコードした値を出力し、奇数番では A L L 0 を出力する。

【1】の場合；フレームパルスを基準に奇数番のタイムスロットでは、S N I P 設定レジスタの上位 6 ビットをデコードした値を出力し、偶数番では A L L 0 を出力する。

【0 1 0 2】

セレクトは、セレクト信号セレクトからの信号に従って、各入力回線番号付与部から受信する 6 4 個のポートからのデータパケットの中から 1 つを選択して、該当する出力ポートに出力する。有効なセレクト信号を受信しない場合は、A L L 0 を出力する。

【0 1 0 3】

図 4 2 は、データコピー部の動作原理を説明する図である。

システムとしてバッファ部 2 重化構成および A P S を提供するために、スイッチ L S I は、データコピー転送機能が要求される。

【0 1 0 4】

コピー機能設定時、A C T 系に設定された H W からの入力を S B Y 系へコピーする。この際、S B Y 系 H W からはパケットが入力されない。または、A C T ビットフィルタリングにより破棄される。コピー先の出力 H W は、予め外部より設定される。また、コピー先の出力 H W は任意に設定可能とする。また、本機能は S N O P にも利用される。

【0 1 0 5】

更に、データコピー部では、マトリックススイッチ部で 1 2 8 回線に分離されたデータストリームを再び 6 4 本の H W に多重する機能を有する。

図 4 3 は、データコピー部の構成例を示す図である。

【0 1 0 6】

図 4 3 において、データコピーセレクトは、コピー先設定レジスタの値に従って、各入力ポート（# 0 ～ # 1 2 7）から受信するデータパケットの中から 1 つを選択して F I F O に出力する。

【0 1 0 7】

コピー先設定レジスタ (D T C P) は、外部よりポート毎に 7 ビットコード (0 ~ 1 2 7) で設定される。デフォルト値は自ポート番号とする。コピー出力先ポートのレジスタに、コピー元のポート番号を設定することで、データコピーが実現される。また、レジスタの値を任意に設定できることから、クロスコネクト的な用途にも適用可能である。

【 0 1 0 8 】

図 4 4 は、データコピーの動作概要を示した図である。

なお、図 4 4 においては、図示の簡略化のため、入力ポートは # 0 ~ # 3 としている。

【 0 1 0 9 】

図 4 4 に示すように、ポート # 0 ~ # 3 から入力されたデータパケットは、全てのデータコピーセレクトタに入力されるが、D T C P に設定された値によって、1 ポートから来たパケットのみが F I F O # 0 ~ # 3 に転送される。

【 0 1 1 0 】

図 4 3 に戻って説明する。

HW 多重用カウンタは、F I F O 及び HW 多重セレクトタの動作信号を供給する。カウント動作は、HW 多重適用 / 非適用によって以下のように異なる。(HW 多重の有無は HW 多重設定レジスタを参照する)

HW 多重あり ; フレームパルスを基準にスイッチ L S I 内部のパケット時間毎に L o w と H i g h を繰り返す。

HW 多重なし ; 常時 L o w を出力する。

【 0 1 1 1 】

F I F O は、システムとして 1 2 8 × 1 2 8 スイッチングを提供する場合、H W 多重方式を採用し、スイッチ L S I の 1 端子に 2 回線を割当て、2 パケット単位での処理を行うために設けられる。このために、データコピー部において出力 2 H W の自多重を行う 2 : 1 セレクトタが必要となり、このセレクトタの前段において待ち合わせ用に 2 パケット分の F I F O を配備する。1 つの HW 多重セレクトタに対して、1 対の F I F O が割り当てられる。

【 0 1 1 2 】

F I F O の読み出しタイミングは H W 多重用カウンタからの選択信号に従い、収容されているポート番号の奇数／偶数によって下記のように動作が異なる。

偶数ポート；選択信号が L o w で F I F O からデータを読み出し、H i g h で A L L O を出力する。

奇数ポート；選択信号 H i g h で F I F O からデータを読み出し、L o w で A L L O を出力する。

【 0 1 1 3 】

以上により、H W 多重方式有効時は 2 : 1 時多重セクタに対して 1 組の F I F O から 1 パケット毎に交互にデータが読み出され、H W 多重方式無効時は 2 : 1 時多重セクタに対して常に同一の F I F O からのデータが読み出されることになる。

【 0 1 1 4 】

H W 多重セクタは、H W 多重方式適用時に 2 H W の時多重を行う。

この 2 : 1 セクタは H W 多重用カウンタからの信号により下記のように動作する。

セレクト信号 L o w ；偶数ポートの F I F O からのデータを選択する。

セレクト信号 H i g h ；奇数ポートの F I F O からのデータを選択する。

【 0 1 1 5 】

H W 多重方式適用時は、2 ポートからの入力に対し交互にデータパケットが読み出され、H W 多重方式非適用時は、常に偶数ポートを選択することになる。

セクタ Enable 設定レジスタ (S E L E N) は、異容量バッファカード混在及びスイッチカードのオンライン増設にあたり、データの出力を停止する必要がある。パケットデータ出力停止用として、6 4 出力ポートの H W 多重セクタ毎に Enable 設定レジスタ (1 ビット) を装備する。セクタ無効時にデータパケット出力停止となる。パケットデータ出力停止が設定された場合は、A L L O のデータを出力する。

【 0 1 1 6 】

A P S 機能設定を行う場合には、データコピー部で行うべき処理は、アクティブ回線の有効パケットを非アクティブ回線へコピーすることである。制御系 (不

図示) より、A P S 機能をとる非アクティブ回線のデータコピーセレクタに装備してあるコピー先設定レジスタに、アクティブ回線の出力回線番号を設定することによって実現される。

【0 1 1 7】

S N O P 機能設定を行う場合には、試験用ポートのデータコピーセレクタに装備してあるコピー先設定レジスタに S N O P 機能対象の出力回線番号を設定する。

【0 1 1 8】

スイッチカードの増設にあたっては、データコピーセレクタのポート番号と出力回線の対応が変更される場合があるために、増設の際は、一度 S N O P 機能を停止させて、増設完了後に S N O P 機能の再設定を行う。

【0 1 1 9】

A C T ビットフィルタリング部は、H W ユーザパケットのうち A C T パケット以外のものを廃棄する。H W ユーザパケットの A C T フィールドを参照し、その値が 1 以外のものをパケット単位で破棄する。A C T ビットフィルタリングの実施／停止は、外部より専用レジスタに設定される。また、A C T ビットフィルタリング設定時には、レジスタ設定により有効パケット数カウンタにおいて A C T パケット数カウントを行う。

【0 1 2 0】

なお、冗長コピー (Redundant Copy) 部及び冗長選択 (Redundant Selector) 部は、S W モードでは機能しないので説明を省略する。

以下に、X B - S W 部と変換部の両機能を実現する回路をスイッチ L S I として実現した場合の、変換部として動作する U / D - C N V モード機能を説明する。

【0 1 2 1】

図 4 5 は、U / D - C N V の論理構成を説明する図である。また、図 4 6 は、U / D - C N V のデータフローを説明する図である。

なお、これらの図では、マトリックススイッチ部を記載しているが、U - C N V と D - C N V でマトリックススイッチ部の動作は同じなので、区別せずに記載

している。

【0122】

スイッチLSIは、2入力HWインターフェースより入力されるパケットを、タイムスロットに従い2方路に分配する。このタイムスロットの基準点は所定時間毎に受信するフレームパルスである。1つのスイッチLSI内には、32個のU/D-CNVが論理的に收容される。また、処理は2パケット単位で行われるため、1個のU/D-CNV内部は1出力HWを2ポートに分離した2×4マトリックススイッチとする。従って、スイッチLSI内部の64×128マトリックススイッチは、論理的に2×4マトリックス×32個に分割される。

【0123】

図46に従って、動作を説明する。まず、各入力ポートから出力ポートへパケットを転送する(1)。次に、各入力ポートから、もう一方の出力である予め定められたポートへパケットを転送する(2)。このとき、フレームパルスを基準として、入力パケットを各出力HWに交互に分配する。そして、データコピー部において、各出力hwへ、番号の小さいポート番号のポートからパケットを出力すると共に、次処理パケットを(1)と同様に処理する(3)。また、データコピー部において、各出力HWへもう一方のポートよりパケットを出力すると共に、次処理パケットを(2)と同様に処理する(4)。

【0124】

ここで、U/D-CNVのマトリックススイッチ部の構成は、図37と同様であるので、図37を参照してU/D-CNVモード(CNVモード)について説明する。

【0125】

まず、TAG抽出部ブロックは、CNVモードでは使用されず、受信したデータパケットを、そのまま入力回線付与部に転送する。

HW多重設定レジスタは、前述のSWモードの時と同様に動作する。セクタ信号カウンタは、SW/CNVモードセクタを経由して、オフセット加算部に基本スイッチング情報を提供する。内部構成及び動作は、SWモードと同様である。

【0126】

SW/CNVモードセレクタは、基本スイッチング情報を参照して、データの選択を行う。セレクタの選択は、SWモードであるかCNVモードであるかに従い一意に規定される。CNVモードの時は、参照元としてセレクタ信号カウンタを選択する。従って、タイムスロットに従った1入力2方路への分配動作が実現される。

【0127】

オフセット加算部は、SWモードと同様である。入力回線番号付与（TAG変換）部は、CNVモードでは機能しない。従って、TAG抽出ブロックから受信したデータ packets を、そのままマトリックススイッチへ転送する。マトリックススイッチは、SWモードと同様であるが、CNVモードでは、SNIP設定は不可とする。従って、SNIP Enable レジスタ値は常に「無効」と設定される。

【0128】

データコピー部の動作は、SWモードと同様であるが、APS機能及びSNOP機能の設定は無効とする。

冗長コピー部では、N+1冗長構成ACT/SBY切り替え時に要求されるN+1コピー機能を提供する。この機能は、U-CNVとして機能するCNVモードのスイッチLSIのみにおいて動作する。

【0129】

図47は、冗長コピー部の構成を示す図である。

URDDセレクタは、出力HW#0～#7/8～15/・・・/48～55/56～63のそれぞれに対応し、計8個存在する。URDDセレクタは、対応する8つの入力ポートからデータ packets を受信し、その中から1つを選択して、RDD出力にデータを出力する。なお、Enable レジスタ値が「無効」のときはALL0を出力する。

【0130】

URDDセレクタEnableレジスタ（URDDEN：1ビット）は、RDD出力からのデータ packets の流出を強制的に停止させるために、各URDDセレクタ

に設けられる。

【0131】

スイッチカードのN+1切り替えに際し、制御系（不図示）より以下の情報が送信される。

（1）N+1切り替え情報イネーブル（1ビット）；情報の有効性の確認（0：無効／1：有効）

（2）SBY系スイッチカード選択指示（3ビット）；SBY系スイッチカードと切り替えるACT系スイッチカードの番号を3ビットコード（0～7）で指定する。

【0132】

（1）が有効である倍、各URDDセクタは（2）の譲歩をセレクト信号として該当する入力ポートからのデータパケットを選択して出力する。このとき、URDDセクタEnableレジスタにより無効設定されているセクタは動作しない。

【0133】

また、N+1スイッチカードの選択状態を外部から監視できるように、以下のステータスレジスタを装備する。

・障害スイッチカード番号表示（3ビット）；SBY系カードと置き換えられているスイッチカード番号を3ビットコードで表示する。

・SBY系スイッチカード状態表示（1ビット）；SBY系カードの状態を表示する。（0：SBY／1：ACT）

図48は、冗長選択部の回路構成を示す図である。

【0134】

冗長選択（Redundant Selector）部では、N+1冗長構成のACT／SBY切り替え時に要求されるN+1選択機能を提供する。この機能は、D-CNVとして機能するCNVモードのスイッチLSIのみにおいて動作する。

【0135】

DRDDセクタは、入力HW#0～7／8～15／・・・／48～55／56～63毎に設けられる。各ブロックには、それぞれRDD入力（#0～7）が

接続されており、選択信号に従って8つのHWから受信するデータの中から1つを選択して、RDD入力からのデータと置換する。

【0136】

図49は、DRDDセクタの内部構成を示す図である。

ブロック内部には、入力HW毎に2→1セクタを有する。各セクタは、該当する入力HW及びRDD入力からデータを受信し、選択信号に従って選択したデータを出力ポートに出力する。Enableレジスタ (DRDDEN; 1ビット) は、選択信号に従ってセクタ動作を強制的に停止するために装備される。

【0137】

DRDDEN = 0 ; 選択信号によらず、常時HWを選択する。(RDDは選択されない)

DRDDEN = 1 ; 以下のN+1切り替え処理に従って動作する。

【0138】

スイッチカードのN+1系切り替えに際し、制御系(不図示)より以下の情報が送信される。

- (1) N+1切り替え情報イネーブル(1ビット) ; 情報の有効性の確認を行う
(0 : 無効 / 1 : 有効)
- (2) SBY系スイッチカード選択指示(3ビット) ; SBY系スイッチカードと切り替えるACT系スイッチカードの番号を3ビットコード(0~7)で指定する。
- (3) スwitchカード切り替え方向指示(0 : ACT系→SBY系 / 1 : SBY系→ACT系) ; (2)での指定のスイッチカードとSBY系スイッチカードの運用系切り替え方向の指示を行う。

【0139】

(1)の情報が有効である場合、各DRDDセクタブロックで、(2)で指定された該当する2→1セクタが動作対象となり、

(3)の情報が、

“0”の場合、RDD入力から受信するデータを、

“1”の場合、該当する入力HWから受信するデータを、

選択して出力する。

【 0 1 4 0 】

このとき、DRDDレジスタにより無効設定されているDRDDセクタは、動作しない。

また、ACTビットフィルタリング部は、SWモードと同様に動作する。

【 0 1 4 1 】

図50は、XB-SW部と変換部の両機能を実現する回路をスイッチLSIとして実現した場合の、スイッチ容量変更を許容するスイッチシステム構成を説明する図である。

【 0 1 4 2 】

本実施形態のシステムでは、スイッチ容量に応じた4種類のスイッチカード構成と、收容回線数に応じた4種類のバッファカードが記載されている。

また、全種のバッファカードにCNVモードのスイッチLSIが搭載される。これは、スイッチカード構成変更（スイッチカード増減設）を提供するにあたり、バッファLSIとスイッチカードの間に生じるデータ接続の差分を、CNVモードのクロスコネクト機能で吸収するためである。

【 0 1 4 3 】

図50（a）にスイッチカード構成、図50（b）にバッファカード種別を示す。

本実施形態のシステムでは、これらのスイッチカード構成とバッファカードの全ての組み合わせが許容されるわけではない。この規制は、本システムで採用するスケジューリング方式によるものである。

【 0 1 4 4 】

図50（c）にスイッチカード構成により許容されるバッファカードの対応を示す。

以上のような、スイッチカード増減設および同一システム内での異種バッファカード混載を提供するにあたり要求される、カード間接続及び設定が必要となる各レジスタの設定値について以下に記述する。（ただし、主信号系のみ）

以下では、同一システム内で異種バッファカードの混載を許容するために要求

される、主信号系バッファCNVスイッチ間のLSI外部端子接続法を、各種バッファカード毎に記す。

【0145】

図51及び図52は、160Gバッファカードの接続のイメージ図であって、図53～図55の表4にCNV外部端子接続構成を示す。なお、CNVにおける外部端子の接続構成は入出力で共通である。

【0146】

なお、図53～図55の表は、CNV#0／#1共通に示す。また、[]内の値がCNV#1に対応する。（[]のない項はCNV#0／#1で共通である）

図56～図58は、80Gバッファカードの接続イメージを示す図であり、図59～図63は、CNV外部端子接続構成を示す図である。

【0147】

なお、CNVにおける外部端子の接続構成は入出力で異なる。従って、上記図では、接続線の矢印の方向で区別する。

また、図59～図63では、CNVの外部接続端子接続構成については、

- ・ CNV#0の入力とCNV#1の出力が共通
- ・ CNV#0の出力とCNV#1の入力が共通

なので、前者を表5に、後者を表6に示す。

【0148】

図64～図66は、40Gバッファカードの接続イメージ図を、図67～図69にCNV外部端子接続構成を示す。

なお、CNVにおける外部端子の接続構成は入出力で共通である。外部端子の接続構成を図67～図69の表7に示す。

【0149】

図70～図72は、20Gバッファカードの接続イメージ図を、図73～図75の表8にCNV外部端子接続構成を示す。なお、CNVにおける外部端子の接続構成は入出力で共通である。

【0150】

異種バッファカード混載及びスイッチカード増減設にあたって、以下のレジス

タについて設定の変更が必要になる。

- ・オフセット設定レジスタ (OFST)
- ・HW多重設定レジスタ (HWMUX)
- ・入力回線番号設定レジスタ0/1 (IHWLN0/1)
- ・セクタEnable設定レジスタ (SELEN)
- ・コピー先設定レジスタ (DTCP)
- ・URDDセクタEnableレジスタ (UDRREN)
- ・DRDDセクタEnableレジスタ (DRDDEN)

以下に、それぞれのレジスタ設定値について記す。

- ・オフセット設定レジスタ

搭載されるカードの種別及びスイッチカード構成により異なる設定が必要となる。以下にカード別に設定値を示す。

【0151】

本設定において、スイッチカード構成別のスイッチ分割は以下のようになる。

スイッチカード構成

- ・8枚 (2.56Tビット) ; スイッチ分割無し
- ・4枚 (1.28Tビット) ; スイッチ分割無し
- ・2枚 (640Gビット) ; スイッチ2分割 : ポート番号 = $4n$ 、 $4n+1$ (OFST [0])

ポート番号 = $4n+2$ 、 $4n+3$ (OFST [2])

- ・1枚 (320Gビット) ; スイッチ4分割 : ポート番号 $4n$ (OFST [0])

ポート番号 $4n+1$ (OFST [1])

ポート番号 $4n+2$ (OFST [2])

ポート番号 $4n+3$ (OFST [3])

図76は、オフセット設定レジスタの設定値を示すテーブルである。

【0152】

オフセット設定レジスタの設定値を表9に示す。

同じく、160Gバッファカード、80Gバッファカード、40Gバッファカ

ード、20Gバッファカードの場合のオフセット設定レジスタ値を図77～図81の表10～表14にそれぞれ示す。

【0153】

HW多重設定レジスタは、搭載カード種別及び機能モード（SWモードかCNVモードか）によらず、共通の設定となる。

スイッチカード構成 8枚（2.56Tビット）；[1]を設定。

それ以外の構成；[0]を設定。

【0154】

入力回線番号設定レジスタ0／1

このレジスタは、スイッチカードに搭載されたスイッチLSI（SWモード）にのみ設定が必要となる（CNVモードの場合には設定は不要）。

【0155】

設定は、以下に従う。

・入力回線番号設定レジスタ0

ポート番号の値を[N]とすると、設定値は、図82のようになる。

・入力回線番号設定レジスタ1

HW多重レジスタ=1；入力回線番号設定レジスタ0に1を加えた値を設定

HW多重レジスタ=0；設定不要

セクタEnable設定レジスタ

搭載されるカードの種別及びスイッチカード構成により異なる設定が必要となる。

【0156】

スイッチカードは、常にALL1を設定する。

160Gバッファカード搭載の場合のセクタEnable設定レジスタの設定値は、図83の表15のようになる。

【0157】

以下同様に、80Gバッファカードの場合、40Gバッファカードの場合、20Gバッファカードの場合のセクタEnable設定レジスタ値は、図84～図87の表16～19のそれぞれに示されている。

【0158】

コピー先設定レジスタは、

- ・ CNVモードの時；デフォルト値（設定無し）
- ・ SWモードの時；HW多重方式の有無によって、以下のような設定が必要となる。

【0159】

- ・ HW多重レジスタ=1の時、デフォルト値
- ・ HW多重レジスタ=0の時、以下に従う。

ポート番号= $8n$ または $8n+1$ ；設定値 $[8n]$

ポート番号= $8n+2$ または $8n+3$ ；設定値 $[8n+1]$

ポート番号= $8n+4$ または $8n+5$ ；設定値 $[8n+2]$

ポート番号= $8n+6$ または $8n+7$ ；設定値 $[8n+3]$

($n=0\sim16$)

また、URDDセクタとDRDDセクタEnableレジスタの設定は共通である。

【0160】

すなわち、

- ・ SWモード；常にALL1を設定。
- ・ CNVモード；搭載されるバッファカードの種別によって図88、図89の表に示されるような設定となる。

【0161】

更に、XB-SW部と変換部の両機能を実現する回路をスイッチLSIとして実現した場合の、スイッチカードオンライン増設機能について説明する。

スイッチカード構成が変更される場合、前述した各種レジスタの設定値を変更する必要がある。更に、オンラインでスイッチカードの増設を行う場合には、この設定値の変更を瞬時に行うことが要求される。従って、これらの設定をハード的に行う「オンライン増設設定部」を装備して、スイッチカードのオンライン増設に対応する。

【0162】

オンライン増設設定部は以下のブロックからなる。

- ・枚数レジスタ

外部から与えられる、変更スイッチカード枚数信号（3ビットコード）を保持する。

- ・O F S T 設定変更ブロック

内部にO F S T 参照用のレジスタ4セットを装備し、それらには前述のカード種別に該当するレジスタ値が予め設定されている。

【 0 1 6 3 】

オンライン増設の際は、枚数レジスタの値に従って、4つの中から1つを選択して、O F S T の値を変更する。

- ・I H W L N 設定変更ブロック

オンライン増設にあたって、枚数レジスタの値を参照し、前述のI H W L N 設定値の計算を行い、I H W L N の値を変更する。

- ・D T C P 設定変更ブロック

内部に、D T C P 参照用のレジスタを2セット装備し、それらには前述のカード種別に該当するレジスタ値が予め設定されている。

【 0 1 6 4 】

オンライン増設の際は、枚数レジスタの値に従って2つの中から1つを選択して、D T C P の値を変更する。

- ・S E L E N 設定変更ブロック

内部に、S E L E N 参照用のレジスタを4セット装備し、それらには前述のカード種別に該当するレジスタ値が予め設定されている。

【 0 1 6 5 】

オンライン増設の際は、枚数レジスタの値に従って4つの中から1つを選択して、S E L E N の値を変更する。

- ・R D D E N 設定変更ブロック

内部に、U / D R D D E N 共通の参照用レジスタを4セット装備し、それらには前述のカード種別に該当するレジスタ値が予め設定されている。

【 0 1 6 6 】

オンライン増設の際は、枚数レジスタの値に従って、4つの中から1つを選択して、URDDEN及びDRDDENの値を変更する。

＜付記＞

（付記1）パケットをスイッチングするパケットスイッチ装置において、

入力したパケットを、パケットを単位として到着順にシーケンシャルに複数のパスに振り分ける振り分け手段と、

該振り分け手段から該複数のパスを介して入力されるパケットをスイッチングして、出力するスイッチ手段と、

該スイッチ手段から出力されたパケットを、該振り分け手段のパケットの振り分け処理の逆処理を行うことによって多重する多重手段と、

を備えることを特徴とするパケットスイッチ装置。

（付記2）前記振り分け手段は、複数の入力ハイウェイのパケットに固定順序のタイムスロットを割り当てることによって、複数のパケットを同一パス上に多重し、

前記スイッチ手段は、該同一パス上の複数のパケットを入力ハイウェイ毎に分離してからスイッチングを行い、

該多重手段は、複数出力ハイウェイのパケットを同一パス上に多重することを特徴とする付記1に記載のパケットスイッチ装置。

（付記3）前記スイッチ手段は、少なくとも1つ設けられ、該スイッチ手段の実装数に応じて、各スイッチ手段を論理的に複数のスイッチ手段に分割して、パケットのスイッチングを行うことを特徴とする付記1に記載のパケットスイッチ装置。

（付記4）前記振り分け手段、スイッチ手段、及び多重手段は、複数回線毎に用意され、

異なる收容回線数の該振り分け手段及び該多重手段が実装される場合、該スイッチ手段の多重数、論理的な分割数、実装数を收容回線が最大の該振り分け手段及び該多重手段が必要とする数に合致させて、收容回線数の異なる該振り分け手段及び該多重手段を実装可能とすることを特徴とする付記1に記載のパケットスイッチ装置。

(付記 5) 前記振り分け手段、スイッチ手段、及び多重手段は、

入力するパケットが有する出力方路を示す T A G に対し、入力ハイウェイ毎に異なる規定値を加算するオフセット加算手段と、

オフセット加算後の T A G に従って、対応するスイッチングポートに出力するスイッチング手段と、

スイッチングポートを任意のハイウェイに対応付けるセレクト手段と、

複数のハイウェイを一つの出力ポートに多重するハイウェイ多重手段とからなることを特徴とする付記 1 に記載のパケットスイッチ装置。

(付記 6) 前記パケットスイッチ装置は、パケットの入力側にパケットを一時的に格納する入力バッファ手段を備え、

前記スイッチ手段の増設時には、一旦入力バッファ手段のパケット出力を停止した後、前記振り分け手段、前記多重手段、及び前記スイッチ手段の増設、該振り分け手段、該多重手段、及び該スイッチ手段の動作の変更を行い、その後、入力バッファ手段のパケット出力を再開することにより、オンラインでスイッチ手段の増設が可能であることを特徴とする付記 1 に記載のパケットスイッチ装置。

(付記 7) 前記入力バッファのパケット出力を停止している間に到着するパケットの特性により、該入力バッファ手段にバッファリングするか破棄するかを選択可能とすることを特徴とする付記 6 に記載のパケットスイッチ装置。

(付記 8) 前記振り分け手段、前記多重手段、及び前記スイッチ手段は、パケットの出力方路を設定するためのレジスタ手段を備え、

該レジスタ手段は、使用する可能性のある値を保持した複数のレジスタからなることを特徴とする付記 6 に記載のパケットスイッチ装置。

(付記 9) 前記振り分け手段、前記多重手段、及び前記スイッチ手段は、パケットの出力方路を設定するためのレジスタ手段を備え、

前記レジスタ手段は、現在使用している値を保持する第 1 のレジスタと、動作の変更後に使用する値を設定するための第 2 のレジスタからなることを特徴とする付記 6 に記載のパケットスイッチ装置。

(付記 1 0) パケット単位でスイッチングを行うパケットスイッチ装置におけるスイッチであって、

入力するパケットが有する出力方路を示すTAGに対し、入力ハイウェイ毎に異なる規定値を加算するオフセット加算手段と、

オフセット加算後のTAGに従って、対応するスイッチングポートに出力するスイッチング手段と、

スイッチングポートを任意のハイウェイに対応付けるセレクト手段と、

複数のハイウェイを一つの出力ポートに多重するハイウェイ多重手段とからなることを特徴とするスイッチ。

(付記 1 1) パケットをスイッチングするパケットスイッチング方法において

入力したパケットを、パケットを単位として到着順にシーケンシャルに複数のパスに振り分ける振り分けステップと、

該振り分けステップによって該複数のパスを介して入力されるパケットをスイッチングして、出力するスイッチステップと、

該スイッチステップによって出力されたパケットを、該振り分けステップのパケットの振り分け処理の逆処理を行うことによって多重する多重ステップと、を備えることを特徴とするパケットスイッチング方法。

(付記 1 2) 前記振り分けステップは、複数の入力ハイウェイのパケットに固定順序のタイムスロットを割り当てることによって、複数のパケットを同一パス上に多重し、

前記スイッチステップは、該同一パス上の複数のパケットを入力ハイウェイ毎に分離してからスイッチングを行い、

該多重ステップは、複数出力ハイウェイのパケットを同一パス上に多重することを特徴とする付記 1 1 に記載のパケットスイッチング方法。

(付記 1 3) 前記振り分けステップ、スイッチステップ、及び多重ステップは、

入力するパケットが有する出力方路を示すTAGに対し、入力ハイウェイ毎に異なる規定値を加算するオフセット加算ステップと、

オフセット加算後のTAGに従って、対応するスイッチングポートに出力するスイッチングステップと、

スイッチングポートを任意のハイウェイに対応付けるセレクトステップと、

複数のハイウェイを一つの出力ポートに多重するハイウェイ多重ステップとからなることを特徴とする付記 1 1 に記載のパケットスイッチング方法。

(付記 1 4) 前記振り分けステップにおいてパケットを処理する前に、パケットを一旦格納する入力バッファステップを備えることを特徴とする付記 1 1 に記載のパケットスイッチング方法。

(付記 1 5) 前記入力バッファステップにおけるパケットの出力を停止した後、前記振り分けステップ、スイッチステップ、及び多重ステップに使用する装置の増設を行い、増設が完了した後に該入力バッファステップにおけるパケットの出力を再開することを特徴とする付記 1 4 に記載のパケットスイッチング方法。

(付記 1 6) 前記入力バッファステップのパケット出力を停止している間に到着するパケットの特性により、該入力バッファステップにバッファリングするか破棄するかを選択可能とすることを特徴とする付記 1 5 に記載のパケットスイッチング方法。

(付記 1 7) パケット単位でスイッチングを行うパケットスイッチ装置におけるスイッチング方法であって、

入力するパケットが有する出力方路を示す T A G に対し、入力ハイウェイ毎に異なる規定値を加算するオフセット加算ステップと、

オフセット加算後の T A G に従って、対応するスイッチングポートに出力するスイッチングステップと、

スイッチングポートを任意のハイウェイに対応付けるセレクトステップと、

複数のハイウェイを一つの出力ポートに多重するハイウェイ多重ステップとからなることを特徴とするスイッチング方法。

【 0 1 6 7 】

【発明の効果】

本発明によれば、大規模パケットスイッチにおいて、増設時にハードウェアの増加を減少しつつ、処理のオーバーヘッドも防ぐことの出来るパケットスイッチ装置を提供することが出来る。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施形態の原理を示す図である。

【図 2】

本発明の第 2 の実施形態の原理を示す図である。

【図 3】

本発明の第 3 の実施形態の原理を示す図である。

【図 4】

本発明の第 4 の実施形態の原理図を示す図（その 1）である。

【図 5】

本発明の第 4 の実施形態の原理図を示す図（その 2）である。

【図 6】

WB-SW部あるいは変換部として動作する回路のブロック構成を示す図である。

【図 7】

図 6 の回路の別の構成例を示す図である。

【図 8】

スイッチ 4 面で、4 回線を収容する場合の構成例を示した図である。

【図 9】

図 8 の構成における動作例を示す図である。

【図 10】

スイッチ 4 面で、2 回線を収容する場合の構成例を示した図である。

【図 11】

図 10 の動作を説明する図である。

【図 12】

本発明の実施形態におけるスイッチの増設処理の流れの原理図を示す図である。

【図 13】

図 12 のスイッチ制御部の動作フローを示すフローチャートである。

【図 14】

XB-SWのオンライン増設時の処理の流れの別の原理図を示す図である。

【図 1 5】

本発明の実施形態に従ったパケットスイッチの別の構成例を示す図である。

【図 1 6】

図 1 5 の構成例の変形構成を示した図である。

【図 1 7】

図 1 6 の実施形態における増設時処理の流れを示すフローチャートである。

【図 1 8】

本発明の実施形態を実際の装置として組み立てる場合の実装例を示した図である。

【図 1 9】

図 1 8 のスイッチ L S I を 8 面設けて、より大容量のパケットスイッチを構成した場合の構成例を示した図である。

【図 2 0】

図 1 9 のパケットスイッチの 2 倍の容量のパケットスイッチを構成する場合の構成例を示す図である。

【図 2 1】

スイッチシステムの 2 重化について説明する図である。

【図 2 2】

バッファ部の 2 重化構成を説明する図である。

【図 2 3】

スイッチ部の $N + 1$ 重化構成の例を示す図である。

【図 2 4】

スイッチ部の 2 重化構成の例を示す図である。

【図 2 5】

X B - S W 部と変換部の両機能を実現する回路のブロック構成を説明する図である。

【図 2 6】

本発明の実施形態のスイッチング方式を説明する図である。

【図 2 7】

図 2 0 の構成に対応する動作を説明する図である。

【図 2 8】

スイッチ分割設定を行う場合の説明をする図である。

【図 2 9】

図 2 8 の動作を説明する図である。

【図 3 0】

スイッチ L S I のクロスコネクト機能を説明する図である。

【図 3 1】

スヌーピング機能について説明する図である。

【図 3 2】

N + 1 冗長構成 A C T / S B Y 切り替え機能を提供するための構成例を示す図である。

【図 3 3】

図 3 2 の N + 1 系の切り替え手順を説明する図である。

【図 3 4】

A C T ビットフィルタリング機能を説明する図である。

【図 3 5】

マトリックススイッチ部の論理構成を説明する図である。

【図 3 6】

図 3 5 のマトリックススイッチ部のデータフローを説明する図である。

【図 3 7】

マトリックススイッチ部回路構成を示す図である。

【図 3 8】

図 3 7 のセレクタ信号カウンタを説明する図である。

【図 3 9】

図 3 7 のオフセット加算部の説明をする図である。

【図 4 0】

図 3 7 の入力回線番号付与部を説明する図である。

【図 4 1】

図 3 7 のマトリックススイッチを説明する図である。

【図 4 2】

データコピー部の動作原理を説明する図である。

【図 4 3】

データコピー部の構成例を示す図である。

【図 4 4】

データコピーの動作概要を示した図である。

【図 4 5】

U/D-CNV の論理構成を説明する図である。

【図 4 6】

U/D-CNV のデータフローを説明する図である。

【図 4 7】

冗長コピー部の構成を示す図である。

【図 4 8】

冗長選択部の回路構成を示す図である。

【図 4 9】

DRDD セレクタの内部構成を示す図である。

【図 5 0】

XB-SW 部と変換部の両機能を実現する回路をスイッチ LSI として実現した場合の、スイッチ容量変更を許容するスイッチシステム構成を説明する図である。

【図 5 1】

160G バッファカードの接続のイメージ図（その 1）である。

【図 5 2】

160G バッファカードの接続のイメージ図（その 2）である。

【図 5 3】

図 5 1、5 2 の場合の CNV 外部端子接続構成を示す図（その 1）である。

【図 5 4】

図 5 1、5 2 の場合の CNV 外部端子接続構成を示す図（その 2）である。

【図 5 5】

図 5 1、5 2 の場合の C N V 外部端子接続構成を示す図（その 3）である。

【図 5 6】

8 0 G バッファカードの接続イメージを示す図（その 1）である。

【図 5 7】

8 0 G バッファカードの接続イメージを示す図（その 2）である。

【図 5 8】

8 0 G バッファカードの接続イメージを示す図（その 3）である。

【図 5 9】

図 5 6～図 5 8 の場合の C N V 外部端子接続構成を示す図（その 1）である。

【図 6 0】

図 5 6～図 5 8 の場合の C N V 外部端子接続構成を示す図（その 2）である。

【図 6 1】

図 5 6～図 5 8 の場合の C N V 外部端子接続構成を示す図（その 3）である。

【図 6 2】

図 5 6～図 5 8 の場合の C N V 外部端子接続構成を示す図（その 4）である。

【図 6 3】

図 5 6～図 5 8 の場合の C N V 外部端子接続構成を示す図（その 5）である。

【図 6 4】

4 0 G バッファカードの接続イメージ図（その 1）である。

【図 6 5】

4 0 G バッファカードの接続イメージ図（その 2）である。

【図 6 6】

4 0 G バッファカードの接続イメージ図（その 3）である。

【図 6 7】

図 6 4～図 6 6 の場合の C N V 外部端子接続構成を示す図（その 1）である。

【図 6 8】

図 6 4～図 6 6 の場合の C N V 外部端子接続構成を示す図（その 2）である。

【図 6 9】

図 6 4 ～ 図 6 6 の場合の C N V 外部端子接続構成を示す図（その 3）である。

【図 7 0】

2 0 G バッファカードの接続イメージ図（その 1）である。

【図 7 1】

2 0 G バッファカードの接続イメージ図（その 2）である。

【図 7 2】

2 0 G バッファカードの接続イメージ図（その 3）である。

【図 7 3】

図 7 0 ～ 図 7 2 の場合の C N V 外部端子接続構成を示す図（その 1）である。

【図 7 4】

図 7 0 ～ 図 7 2 の場合の C N V 外部端子接続構成を示す図（その 2）である。

【図 7 5】

図 7 0 ～ 図 7 2 の場合の C N V 外部端子接続構成を示す図（その 3）である。

【図 7 6】

オフセット設定レジスタの設定値を示すテーブル（その 1）である。

【図 7 7】

オフセット設定レジスタの設定値を示すテーブル（その 2）である。

【図 7 8】

オフセット設定レジスタの設定値を示すテーブル（その 3）である。

【図 7 9】

オフセット設定レジスタの設定値を示すテーブル（その 4）である。

【図 8 0】

オフセット設定レジスタの設定値を示すテーブル（その 5）である。

【図 8 1】

オフセット設定レジスタの設定値を示すテーブル（その 6）である。

【図 8 2】

入力回線番号設定レジスタ 0 / 1 の設定値を示すテーブルである。

【図 8 3】

セクタ Enable 設定レジスタの設定値を示すテーブル（その 1）である。

【図 8 4】

セクタEnable設定レジスタの設定値を示すテーブル（その 2）である。

【図 8 5】

セクタEnable設定レジスタの設定値を示すテーブル（その 3）である。

【図 8 6】

セクタEnable設定レジスタの設定値を示すテーブル（その 4）である。

【図 8 7】

セクタEnable設定レジスタの設定値を示すテーブル（その 5）である。

【図 8 8】

URDDセクタとDRDDセクタEnableレジスタの設定値を示すテーブル（その 1）である。

【図 8 9】

URDDセクタとDRDDセクタEnableレジスタの設定値を示すテーブル（その 2）である。

【図 9 0】

従来の入力バッファスイッチの構成例を示す図である。

【図 9 1】

従来のクロスバースwitchの拡張方法であり、マトリクス状に多段にSwitchを接続して拡張する方法を示した図である。

【図 9 2】

同一HWをビットスライス化し、Switchを平行に配置する従来の増設方法を示した図である。

【図 9 3】

ビットスライス方式におけるデータへのタグの付与の例を示した図である。

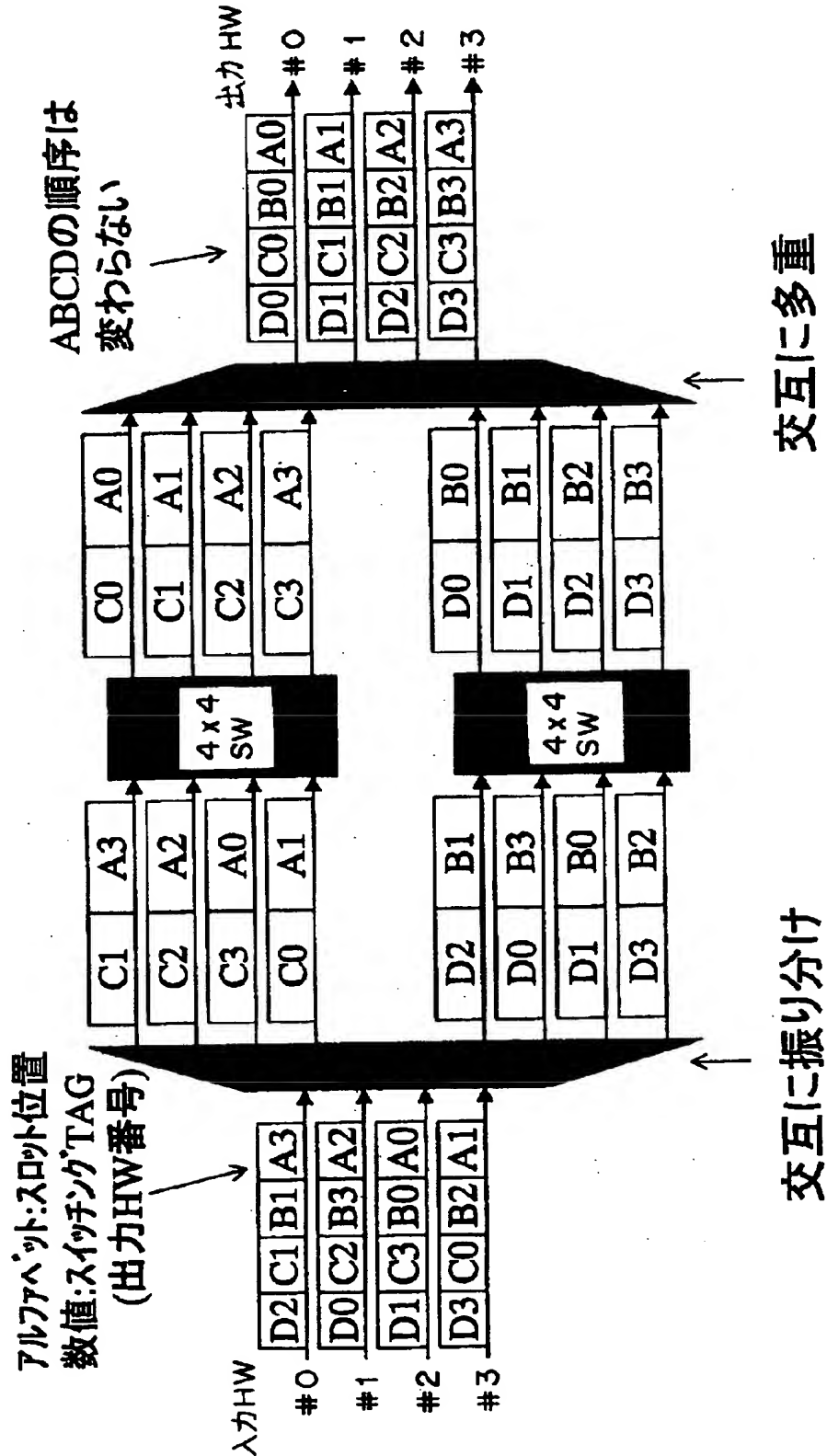
【符号の説明】

- 1 0 ～ 1 3 4 × 4 スイッチ
- 1 5、1 6、2 0、2 1 変換部
- 2 2、2 3 2 × 2 スイッチ（× 2）

【書類名】 図面

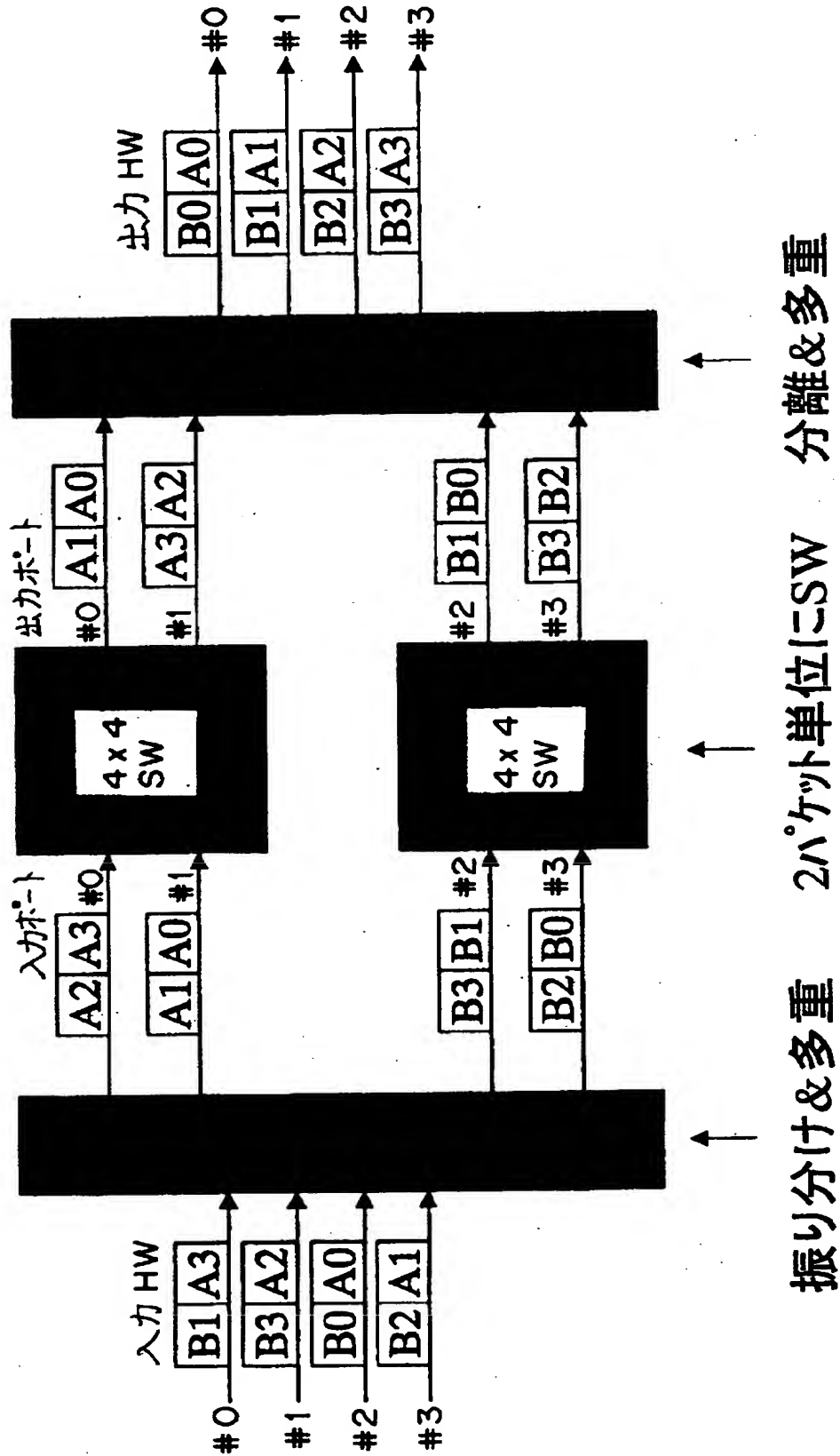
【図1】

本発明の第1の実施形態の原理を示す図



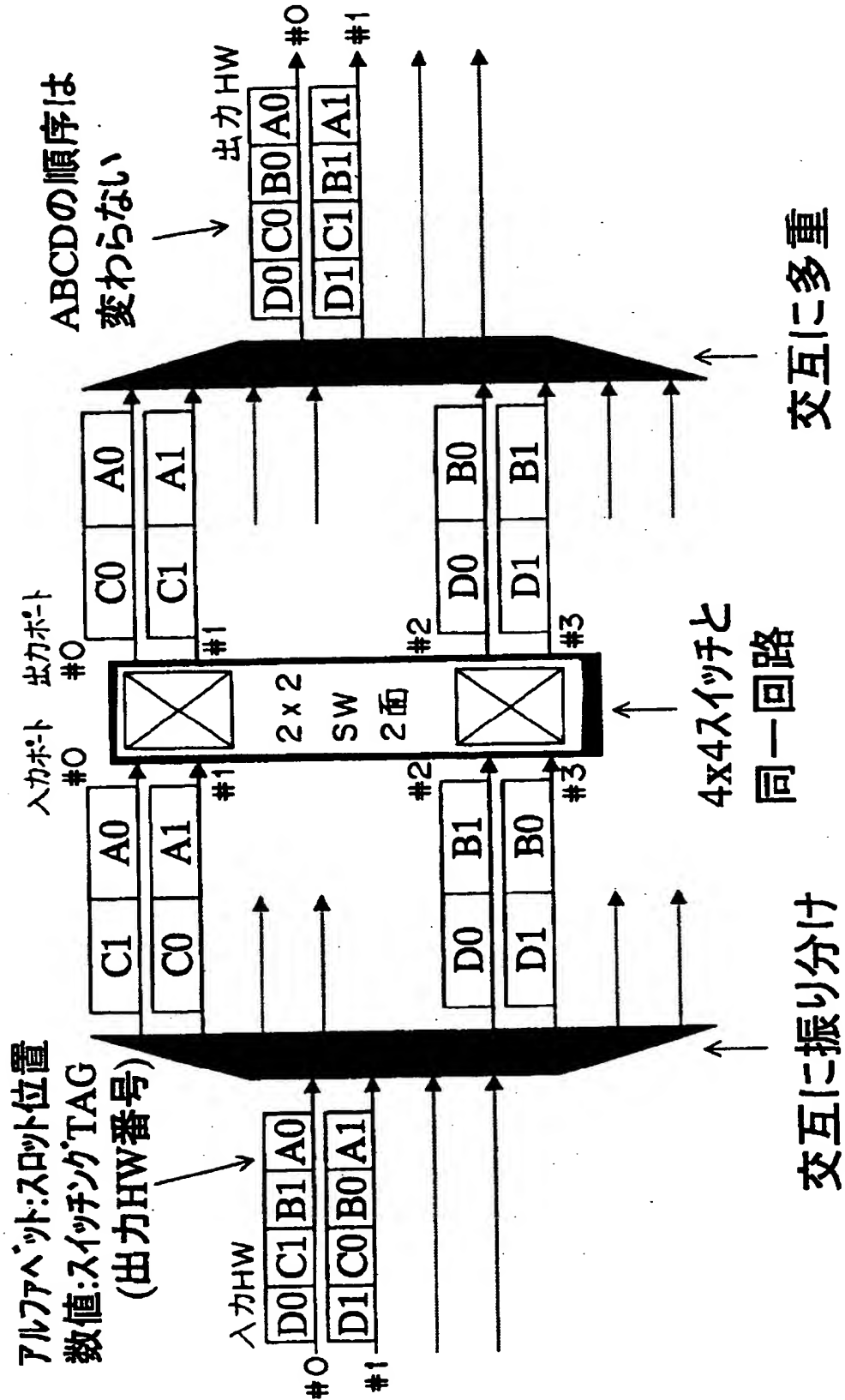
【図 2】

本発明の第2の実施形態の原理を示す図



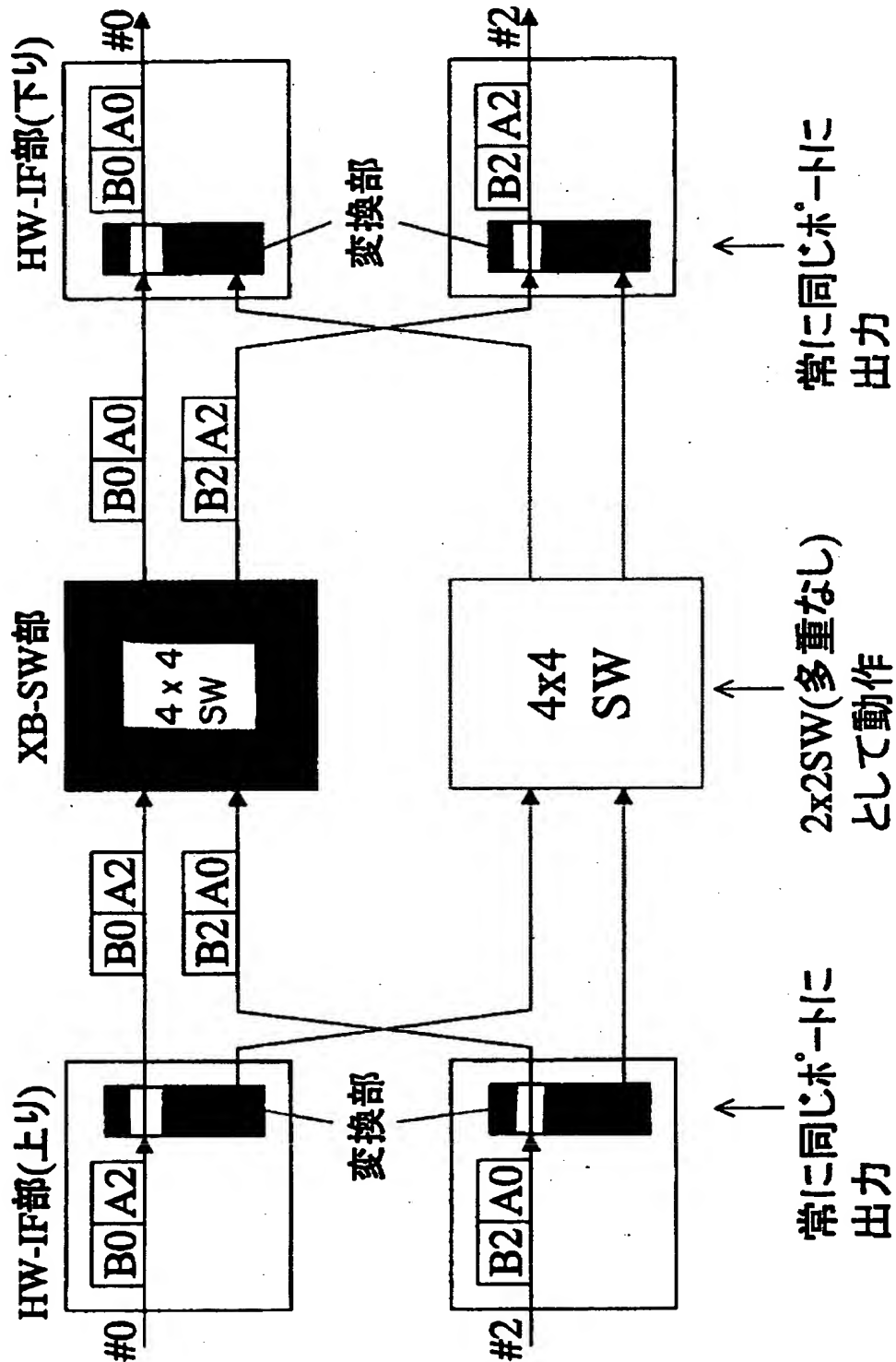
【図 3】

本発明の第3の実施形態の原理を示す図



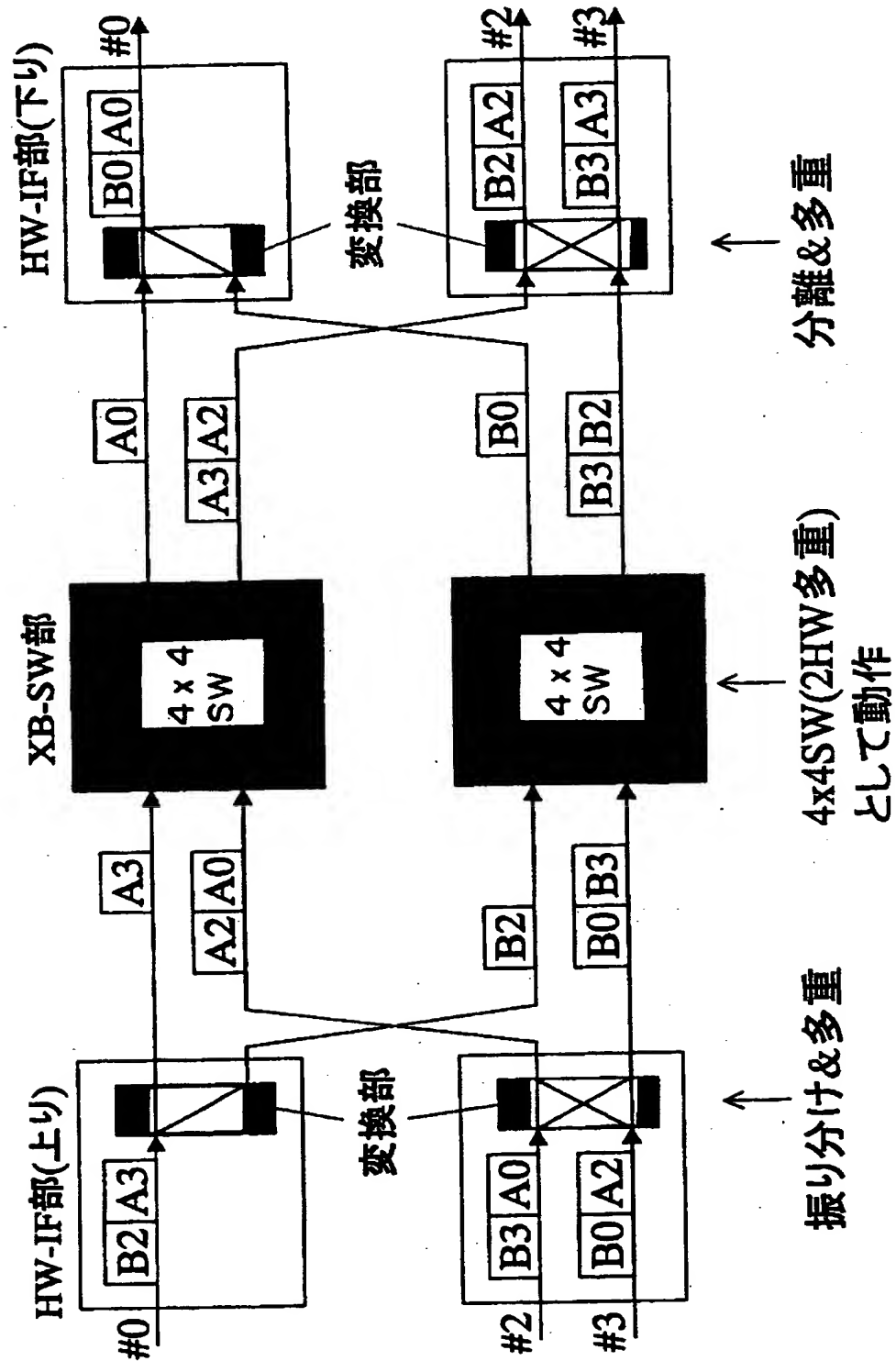
【図 4】

本発明の第4の実施形態の原理図を示す図
(その1)



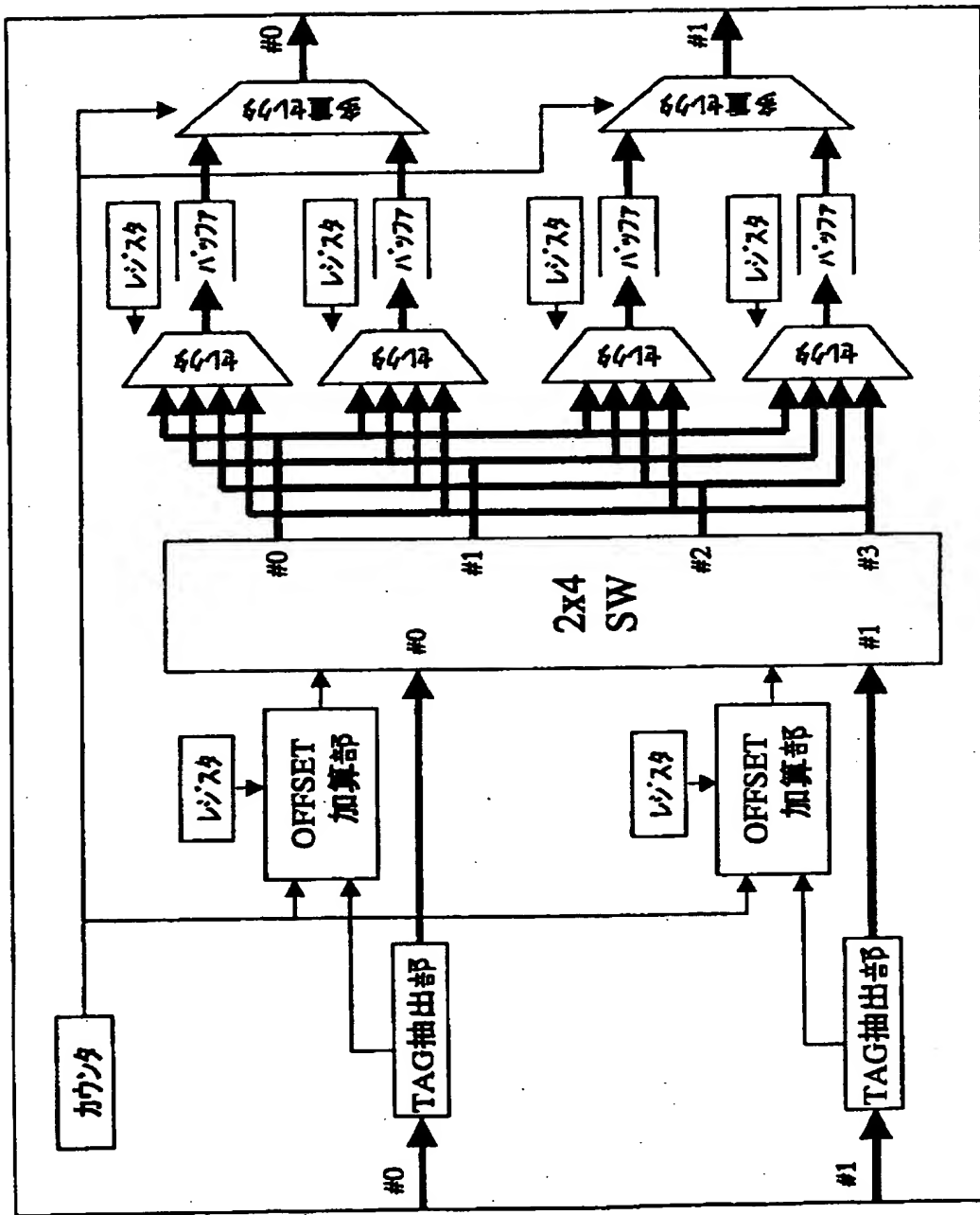
【図5】

本発明の第4の実施形態の原理図を示す図
(その2)



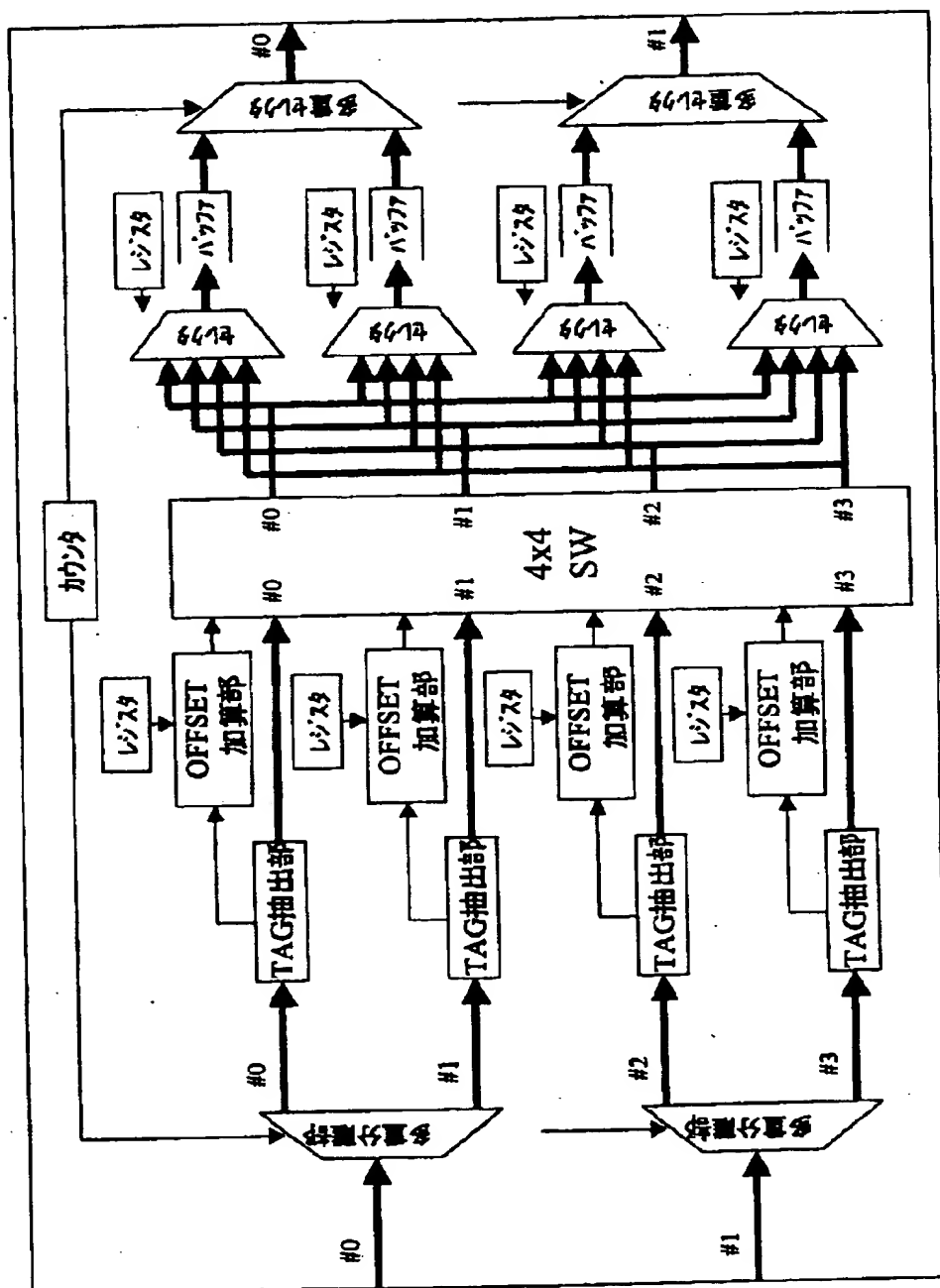
【図6】

WB-SW部あるいは変換部として
動作する回路のブロック構成を示す図



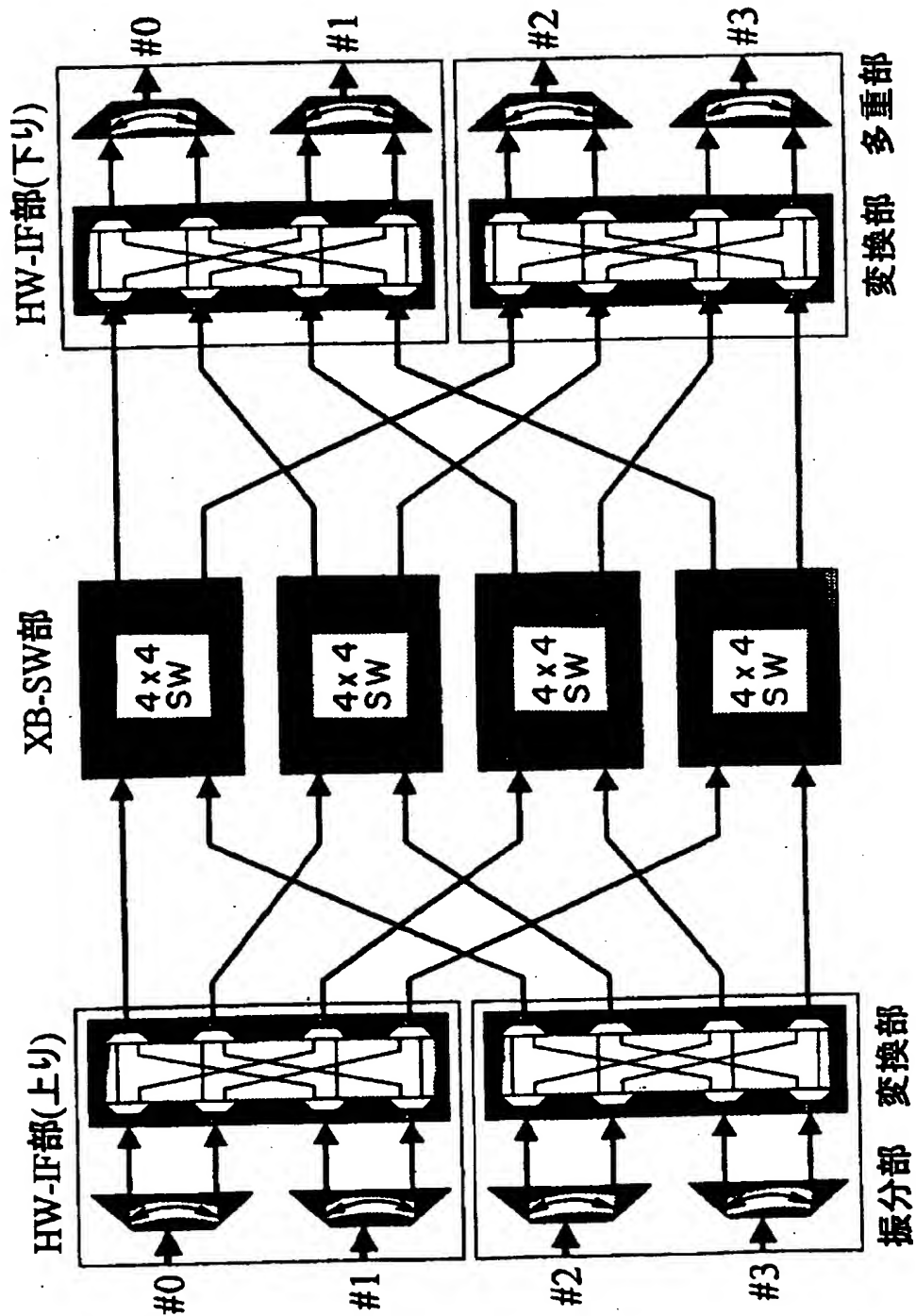
【图 7】

図6の回路の別の構成例を示す図



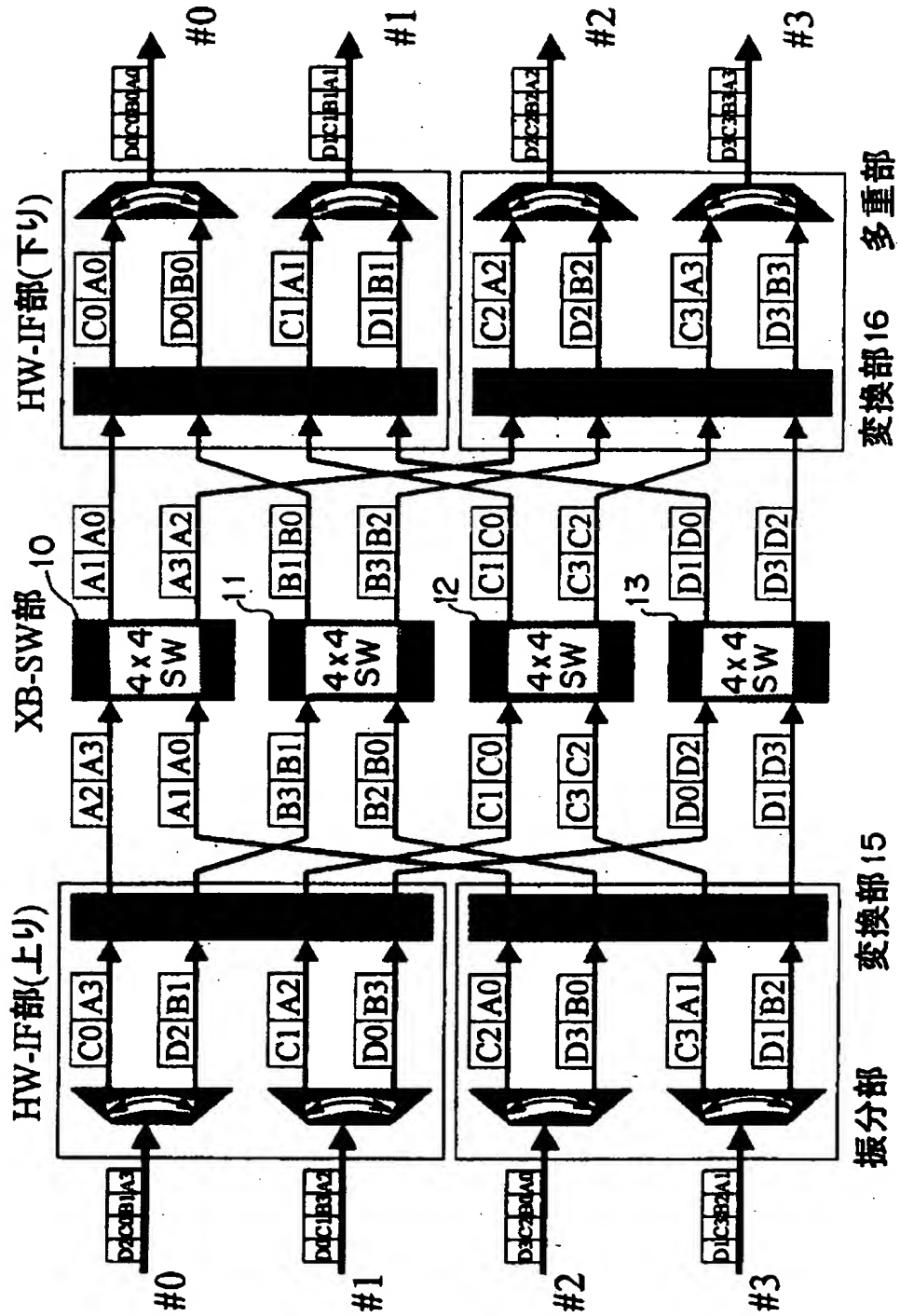
【図8】

スイッチ4面で、4回線を収容する場合の構成例を示した図



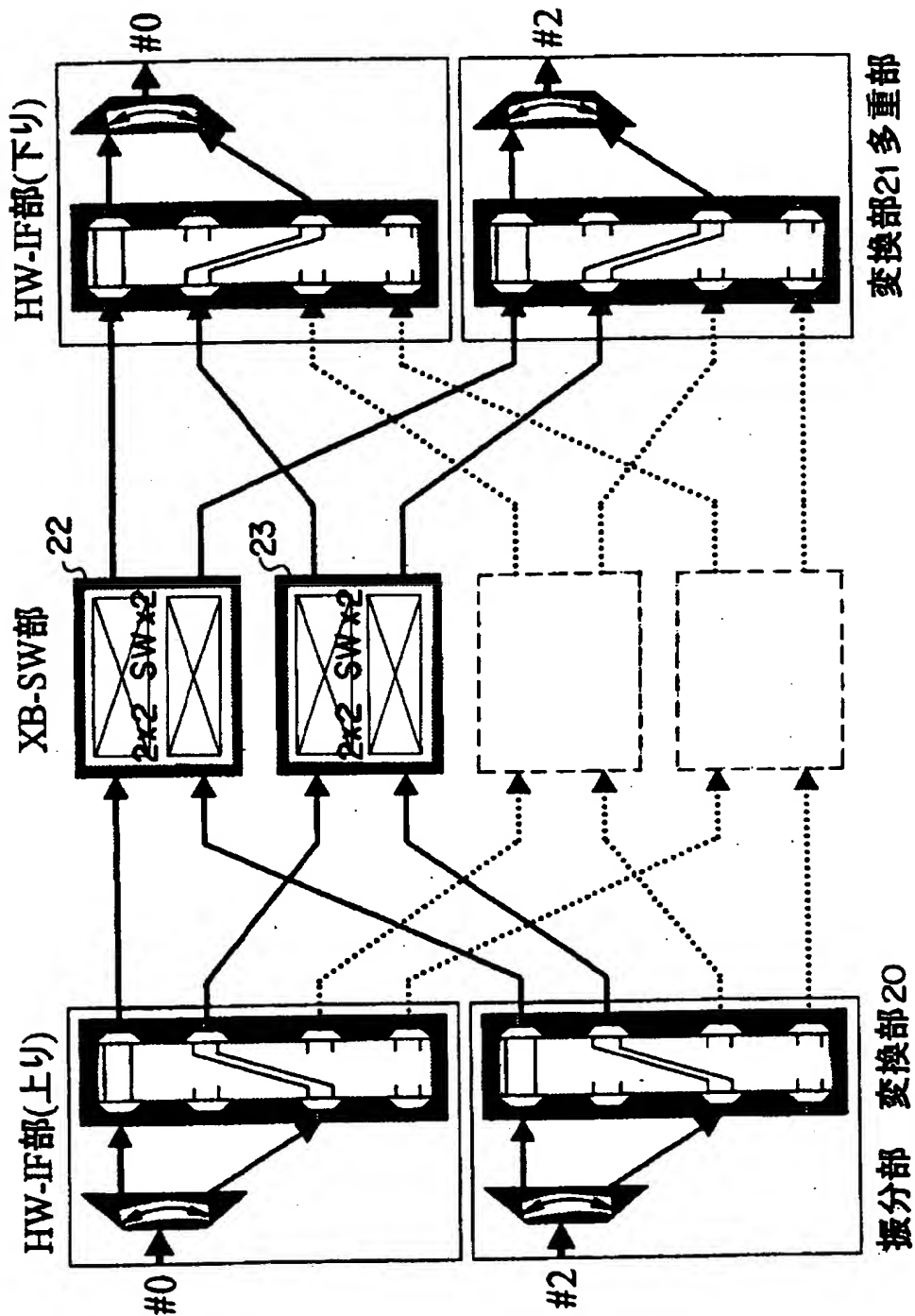
【図 9】

図 8 の構成における動作例を示す図



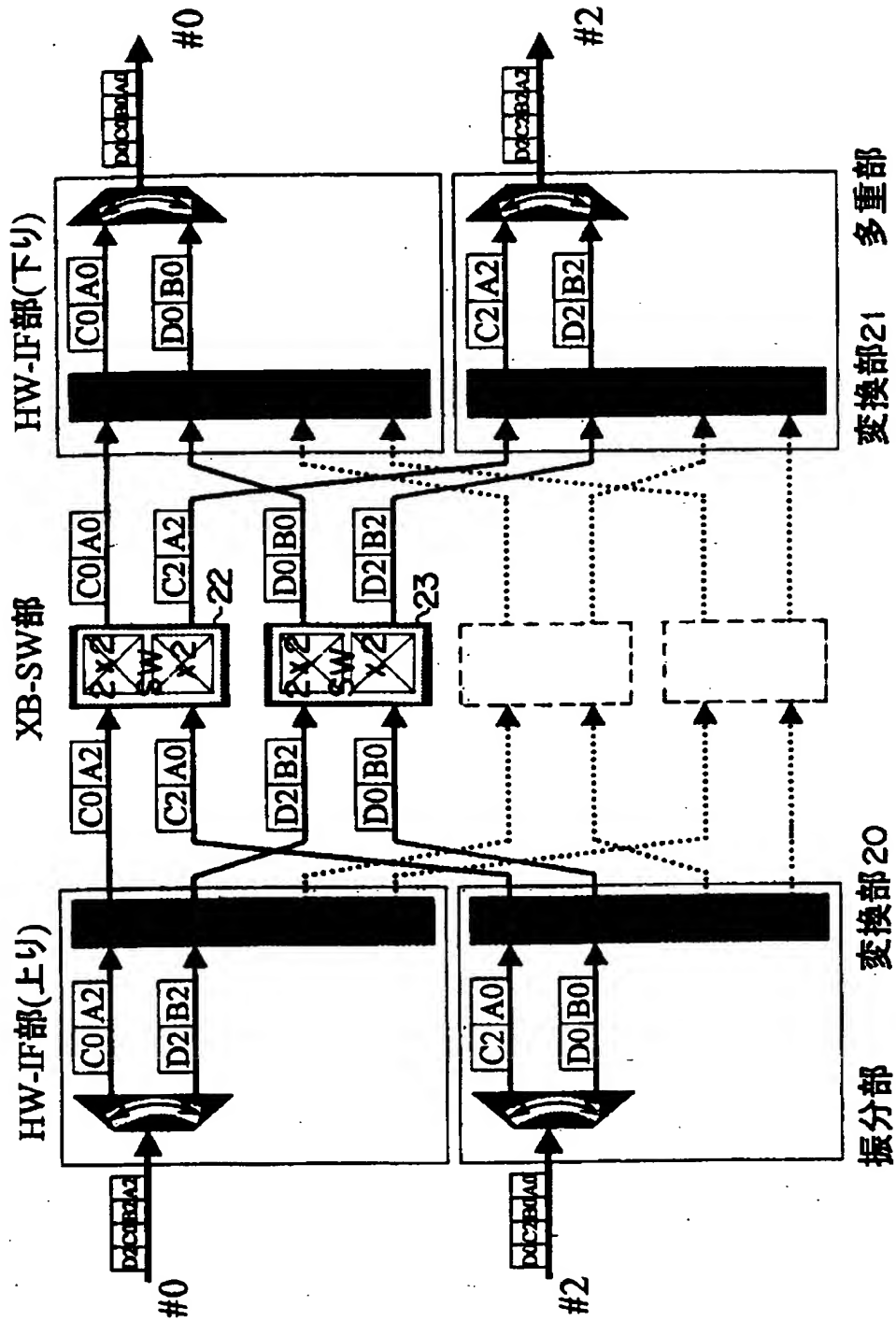
【図10】

スイッチ4面で、2回線を収容する場合の構成例を示した図



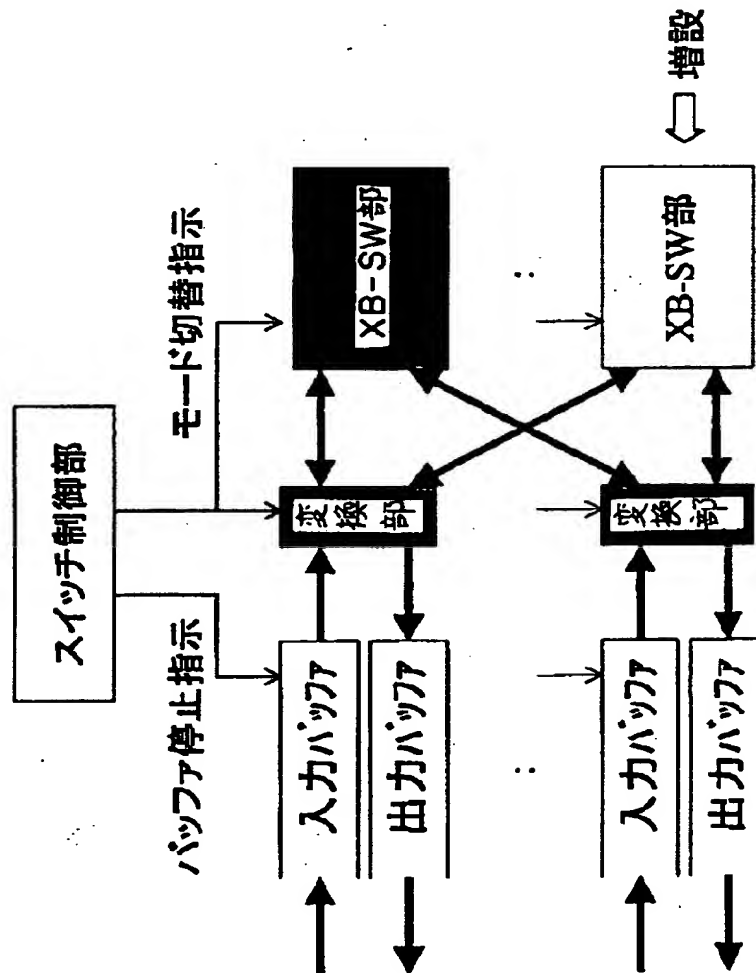
【図 11】

図10の動作を説明する図



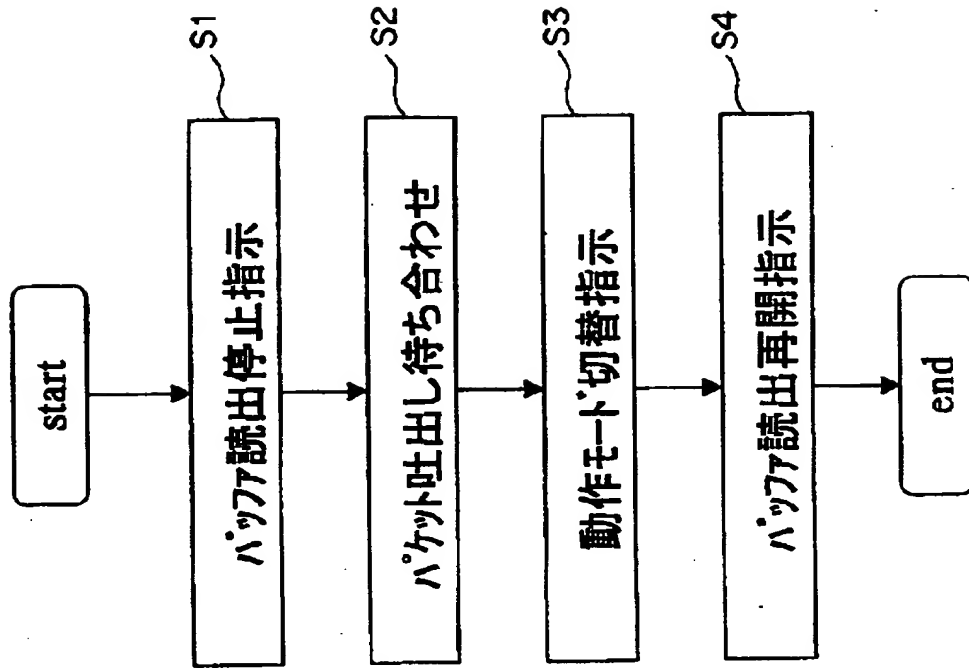
【図 1 2】

本発明の実施形態における
スイッチの増設処理の流れの原理図を示す図



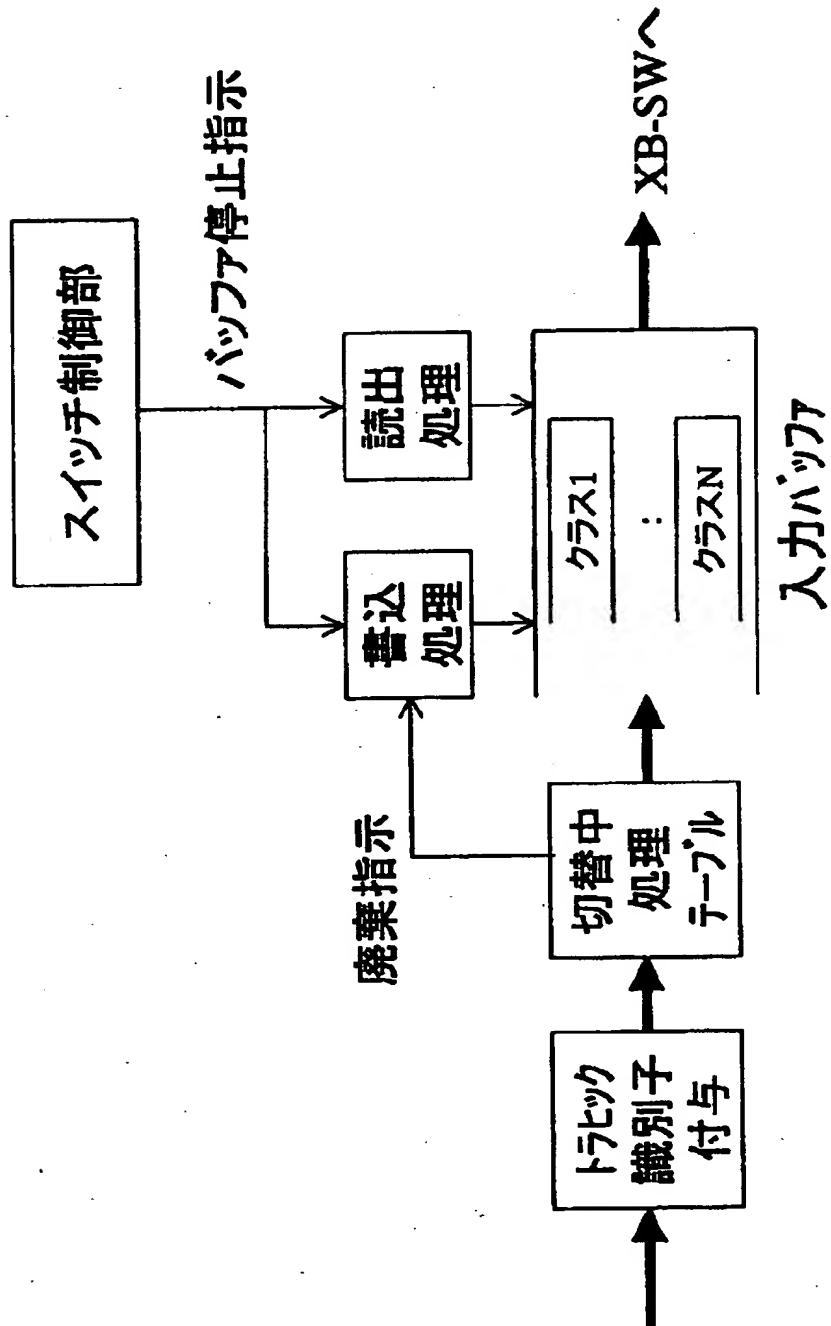
【図13】

図12のスイッチ制御部の動作フローを示す
フローチャート



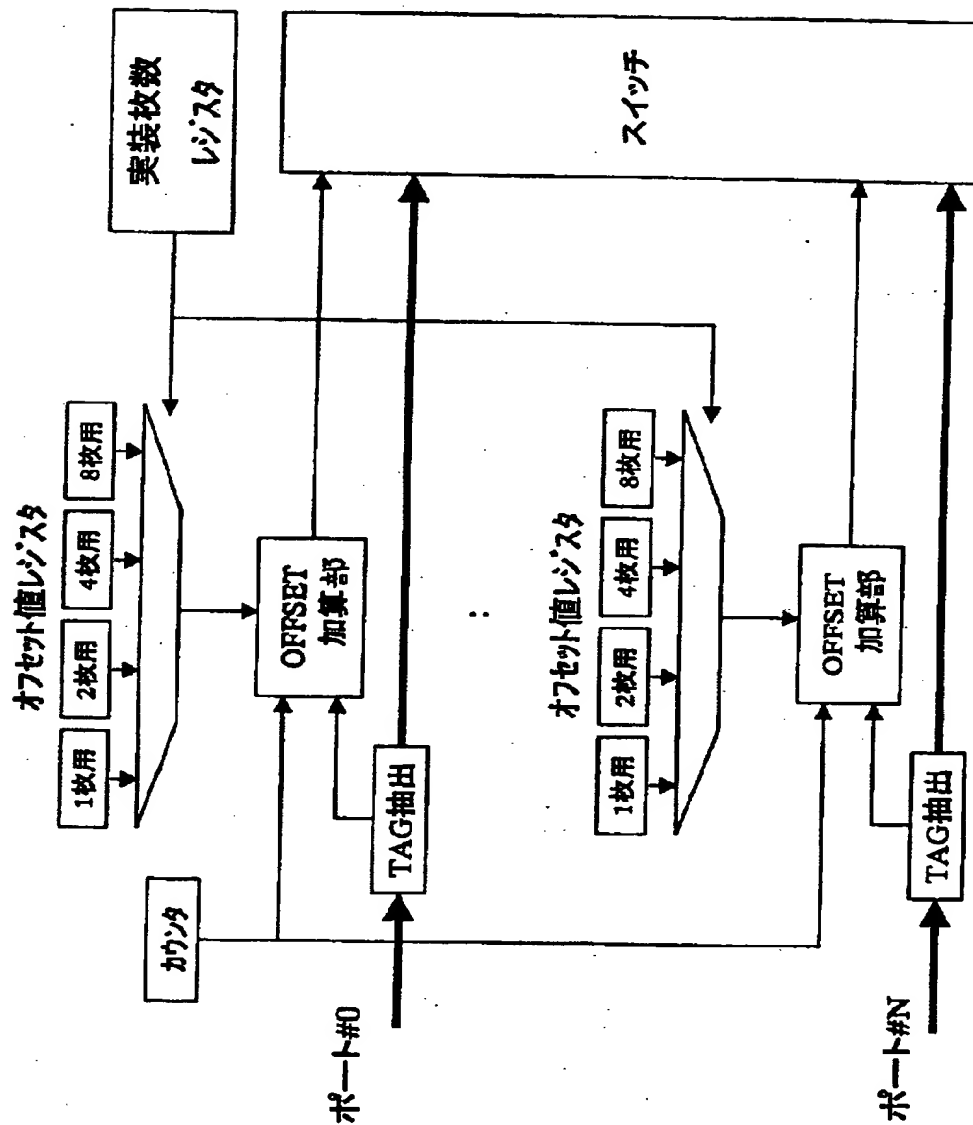
【図14】

XB-SWのオンライン増設時の処理の
流れの別の原理図を示す図



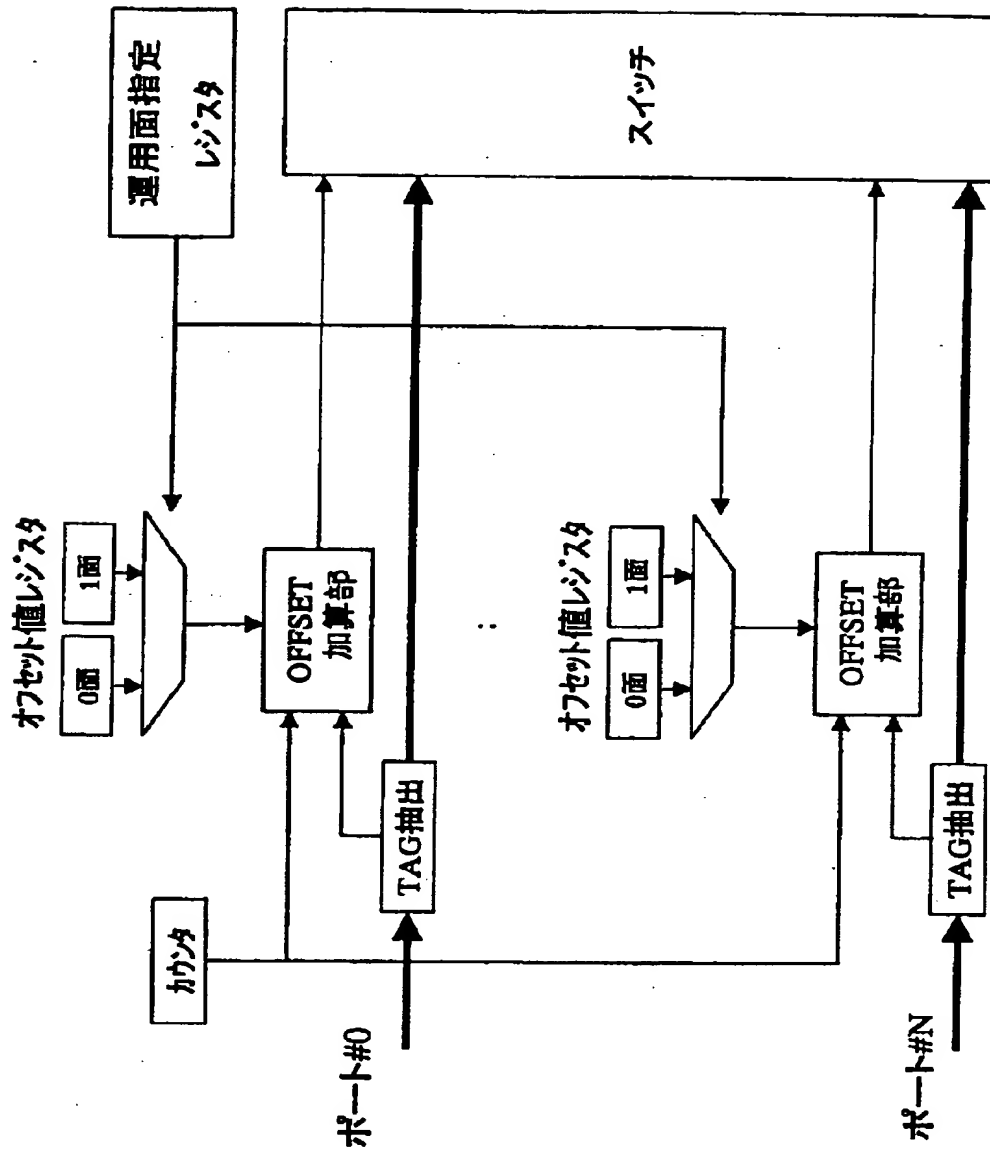
【図15】

本発明の実施形態に従った
パケットスイッチの別の構成例を示す図



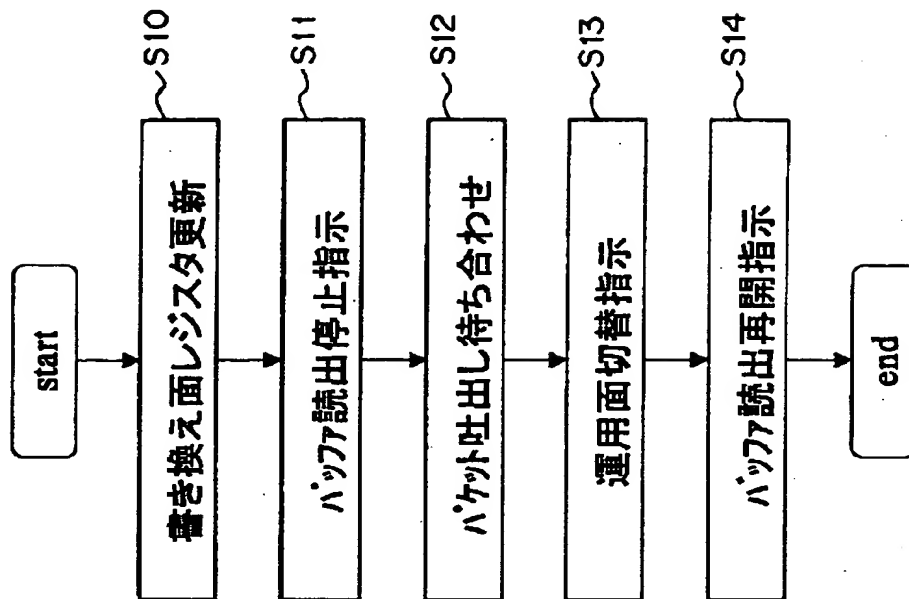
【図 16】

図 15 の構成例の変形構成を示した図



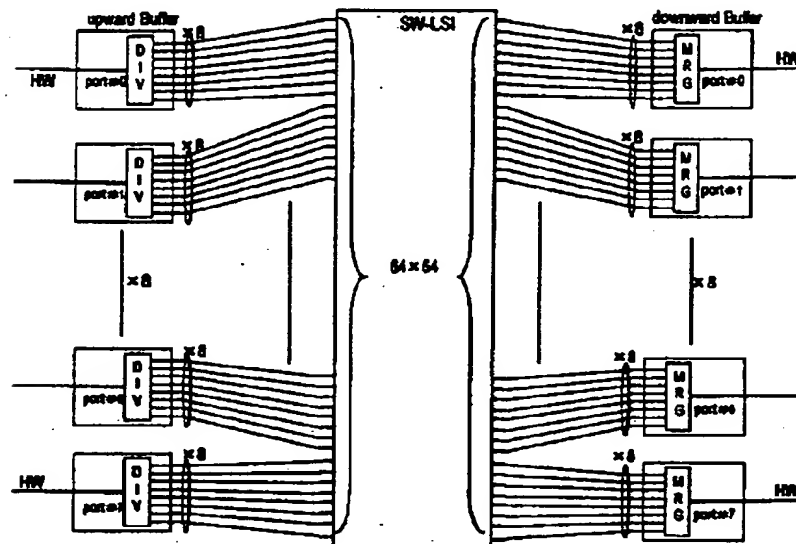
【図 1 7】

図 16 の実施形態における
増設時処理の流れを示すフローチャート



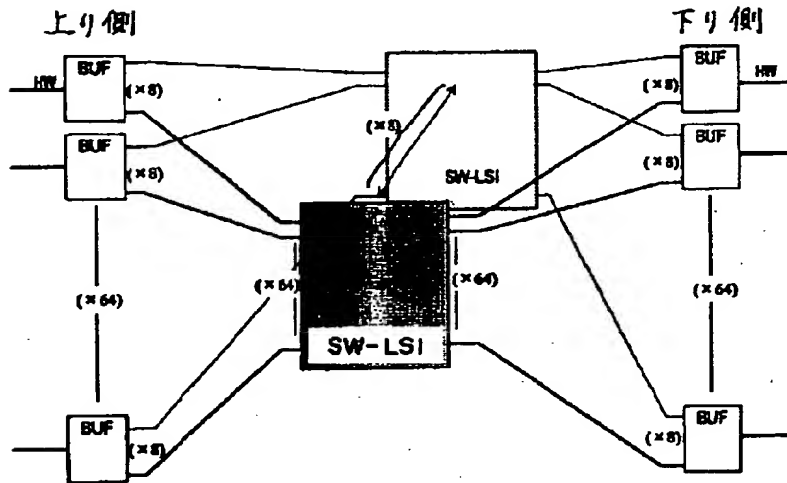
【図 1 8】

本発明の実施形態を実際の装置として
組み立てる場合の実装例を示した図



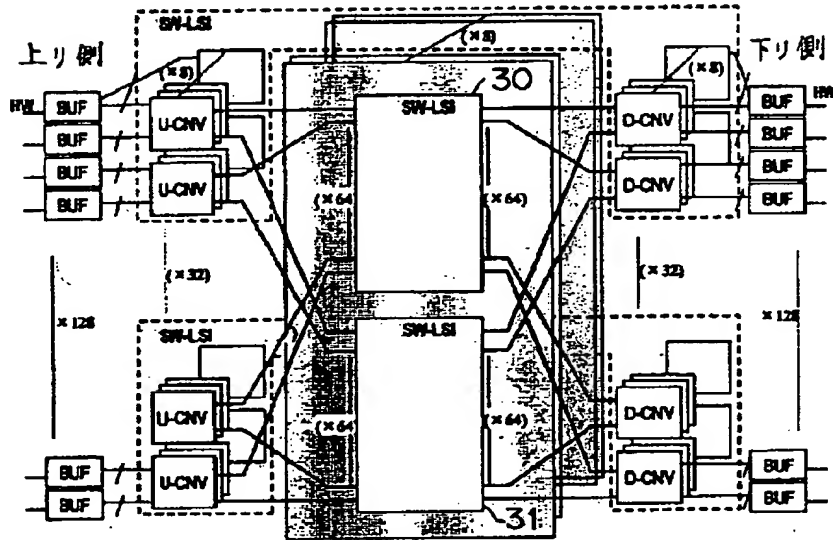
【図19】

図18のスイッチLSIを8面設けて、より大容量の
パケットスイッチを構成した場合の構成例を示した図



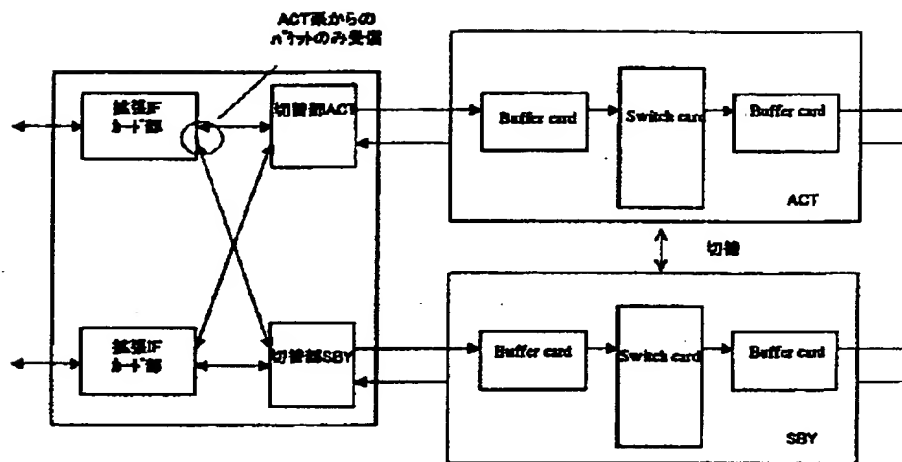
【図 2 0】

図19のパケットスイッチの2倍の容量の
パケットスイッチを構成する場合の構成例を
示した図



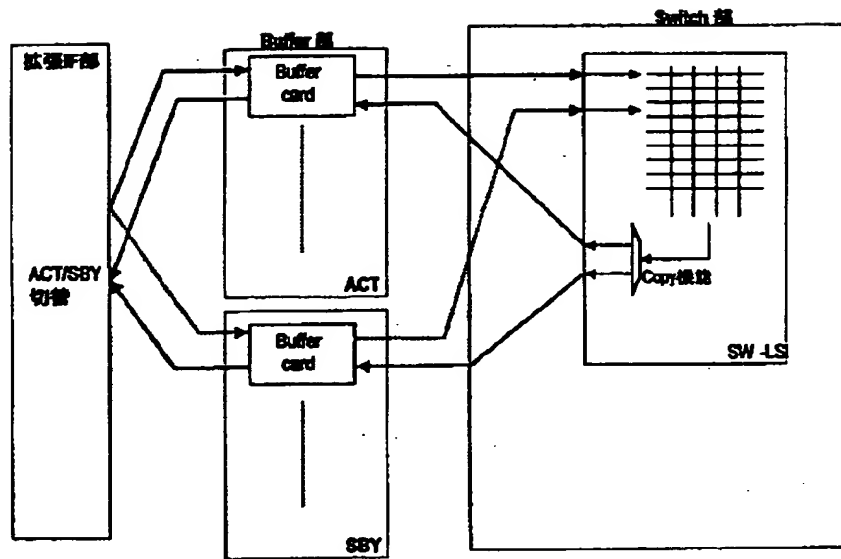
【図 21】

スイッチシステムの 2 重化について説明する図



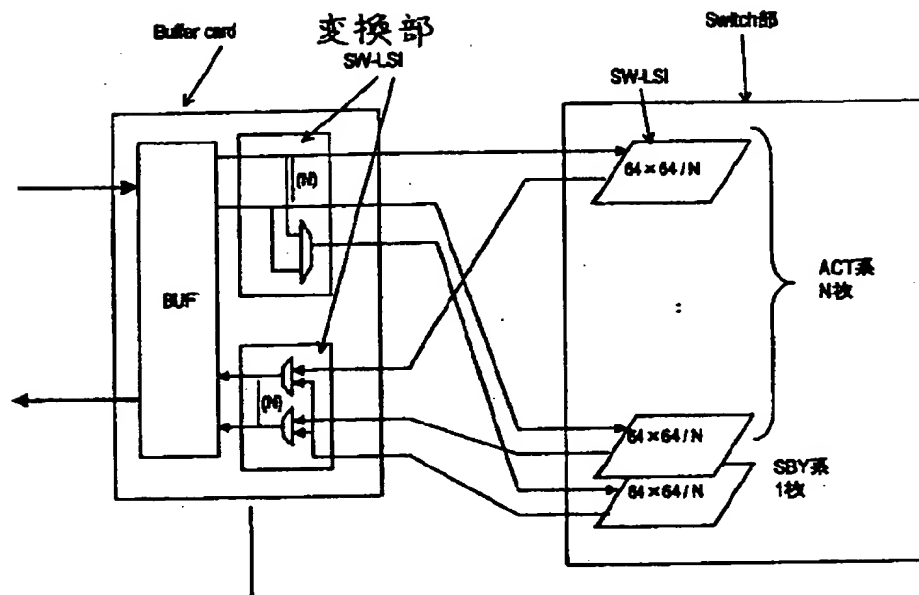
【図 22】

バッファ部の2重化構成を説明する図



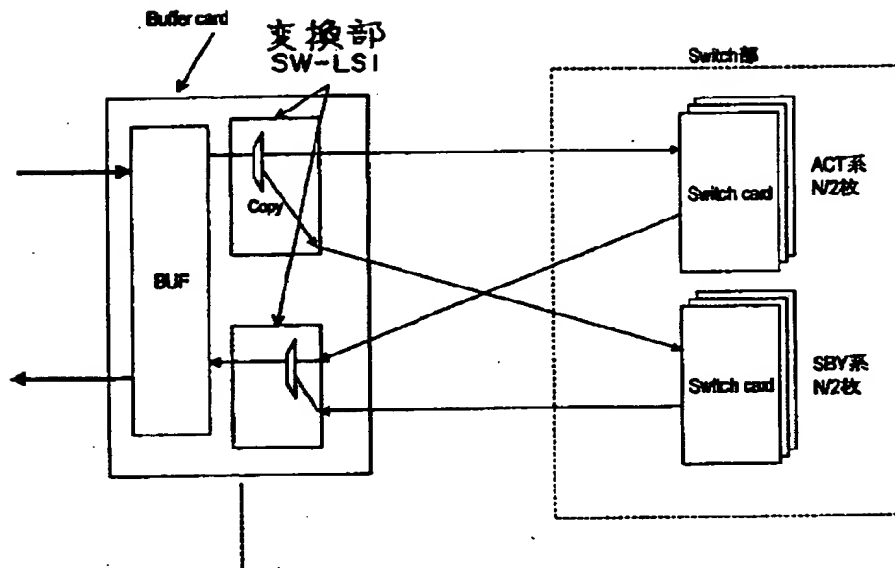
【図 23】

スイッチ部の $N+1$ 重化構成の例を示す図



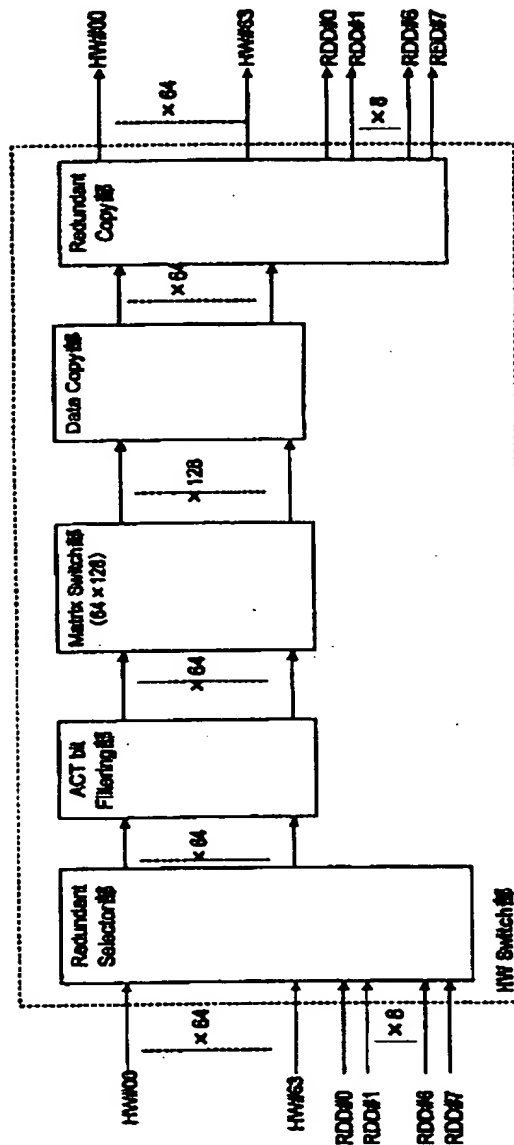
【図 24】

スイッチ部の 2 重化構成の例を示す図



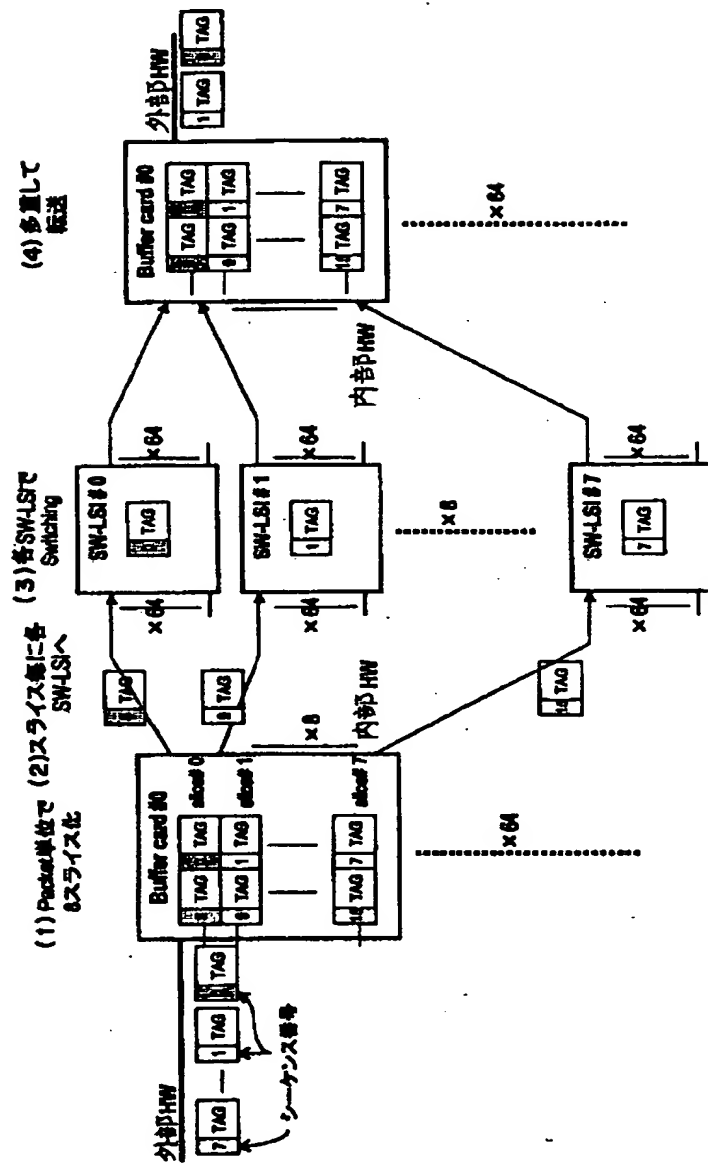
【図 25】

XB-SW部と変換部の両機能を
実現する回路のブロック構成を説明する図



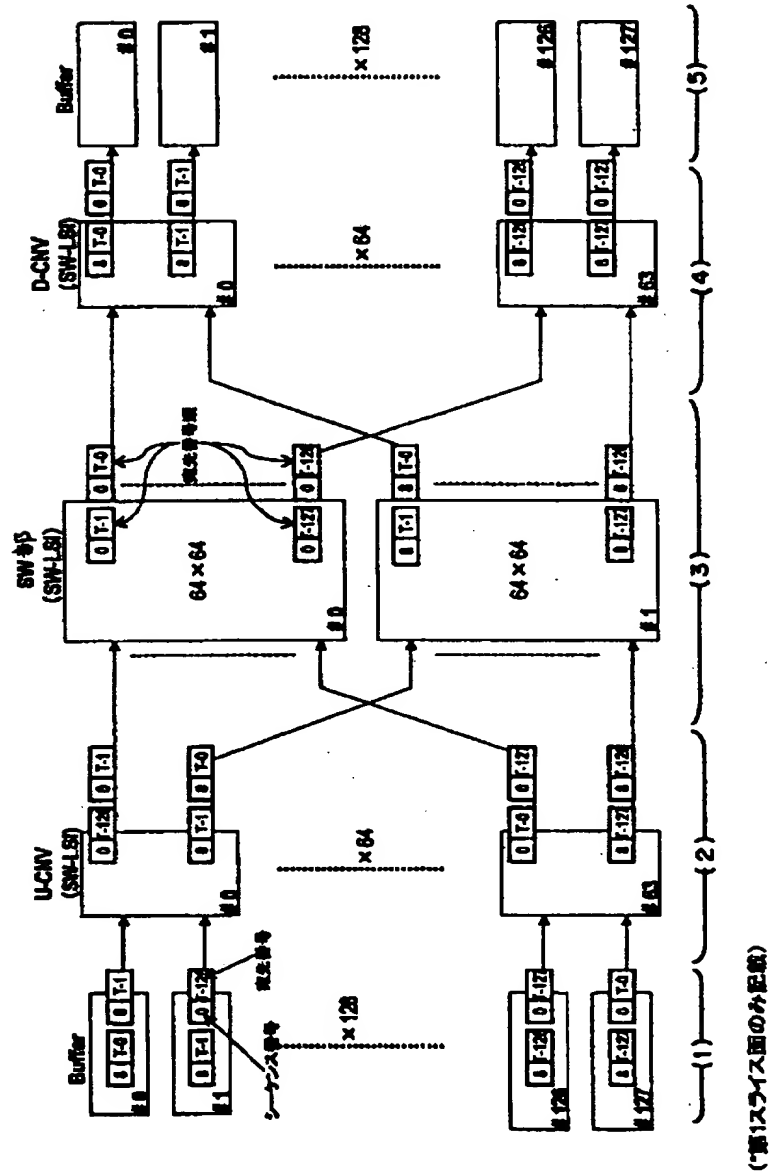
【図26】

本発明の実施形態の
スイッチング方式を説明する図



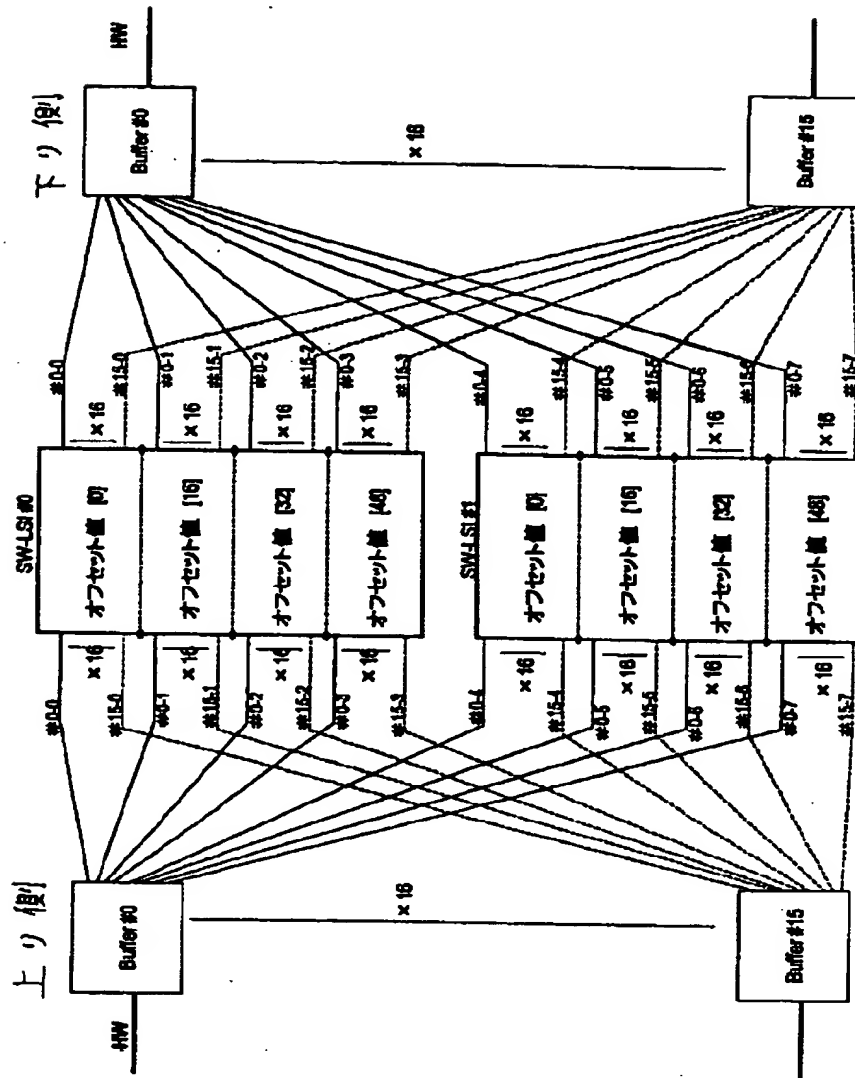
【図 27】

図 20 の構成に対応する動作を説明する図



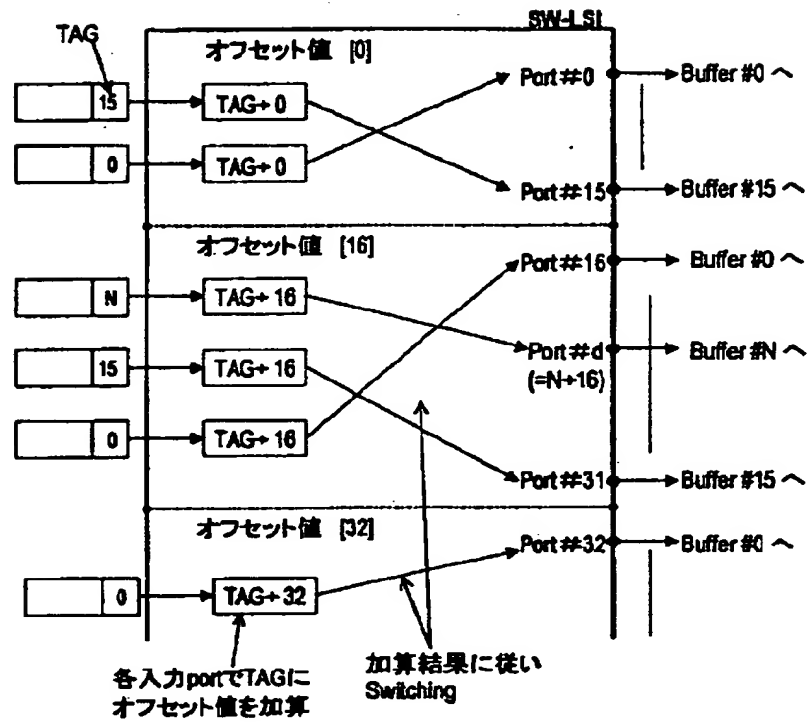
【図28】

スイッチ分割設定を行う場合の説明をす図



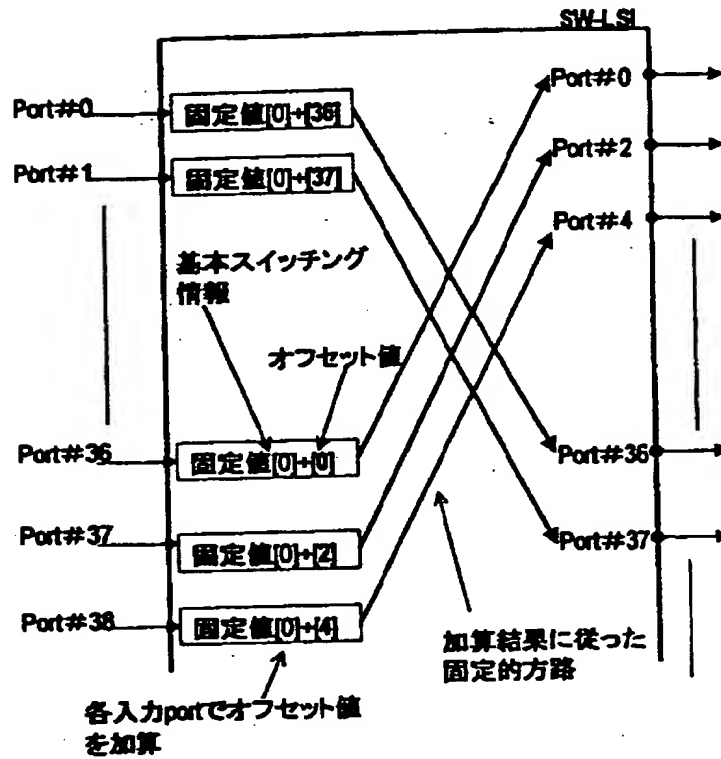
【図 2 9】

図 28 の動作を説明する図



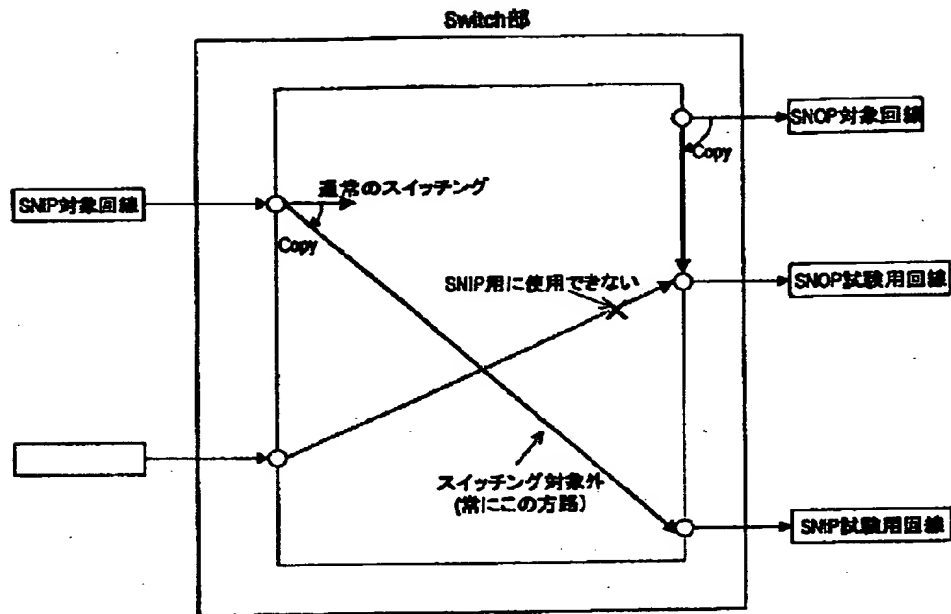
【図 30】

スイッチLSIのクロスコネクト機能を
説明する図



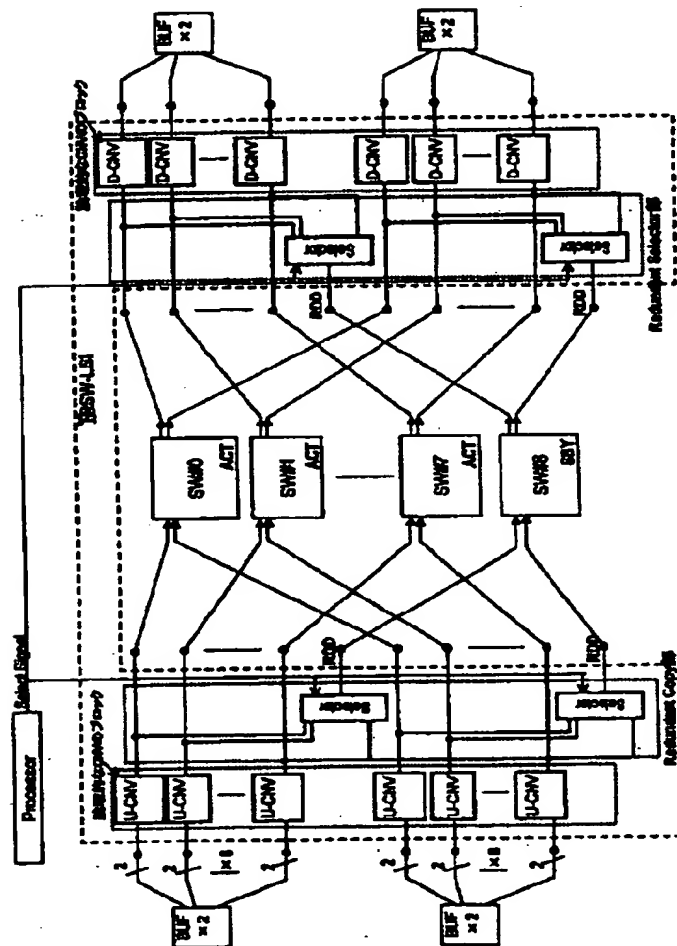
【図 31】

スヌーピング機能について説明する図



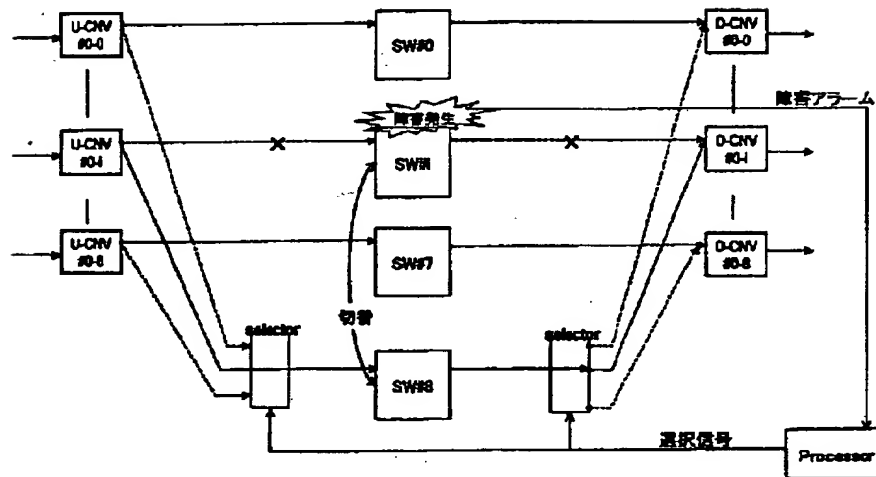
【図32】

N+1冗長構成 ACT/SBY 切り替え機能を
提供するための構成例を示す図



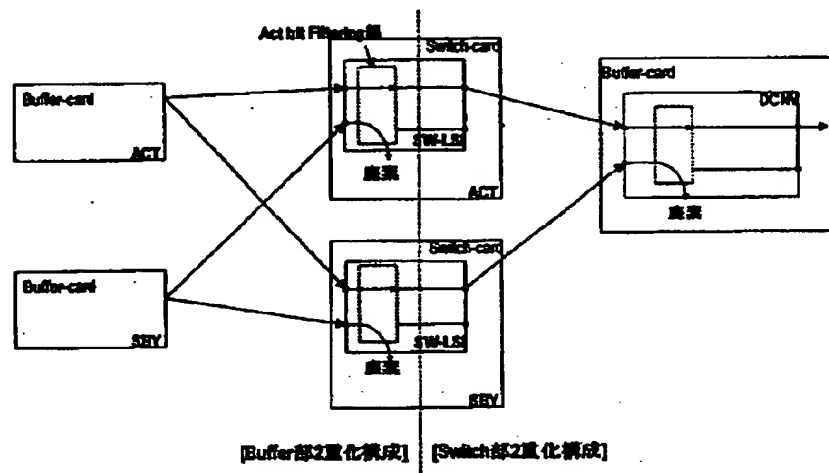
【図 33】

図 32 の N+1 系の切り替え手順を説明する図



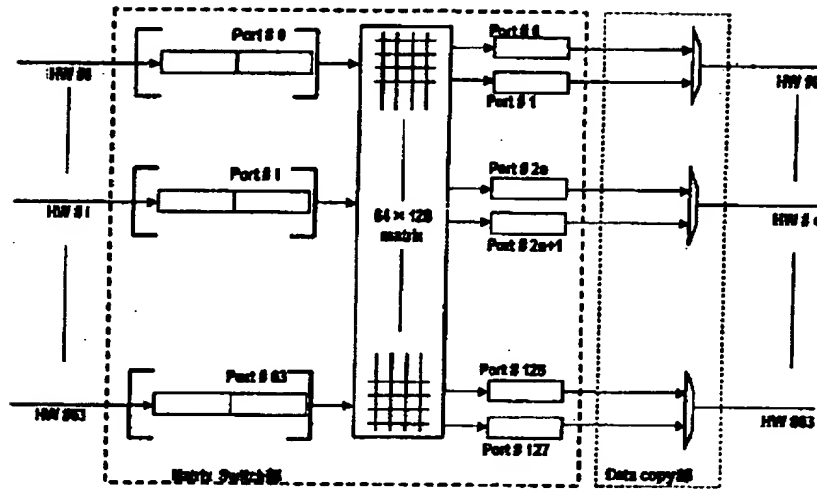
【図 34】

ACTビットフィルタリング機能を説明する図



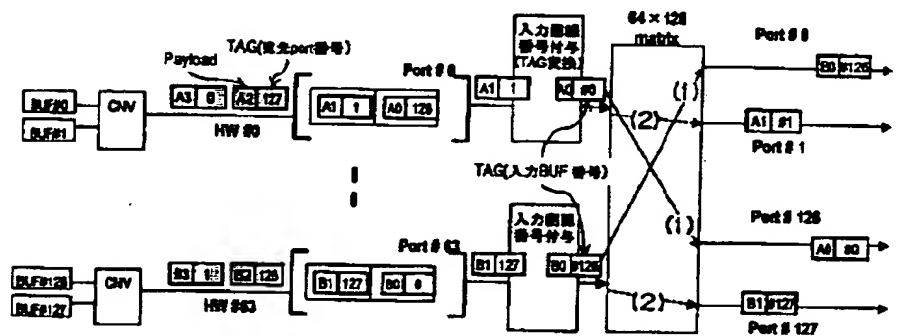
【図35】

マトリクススイッチ部の論理構成を説明する図



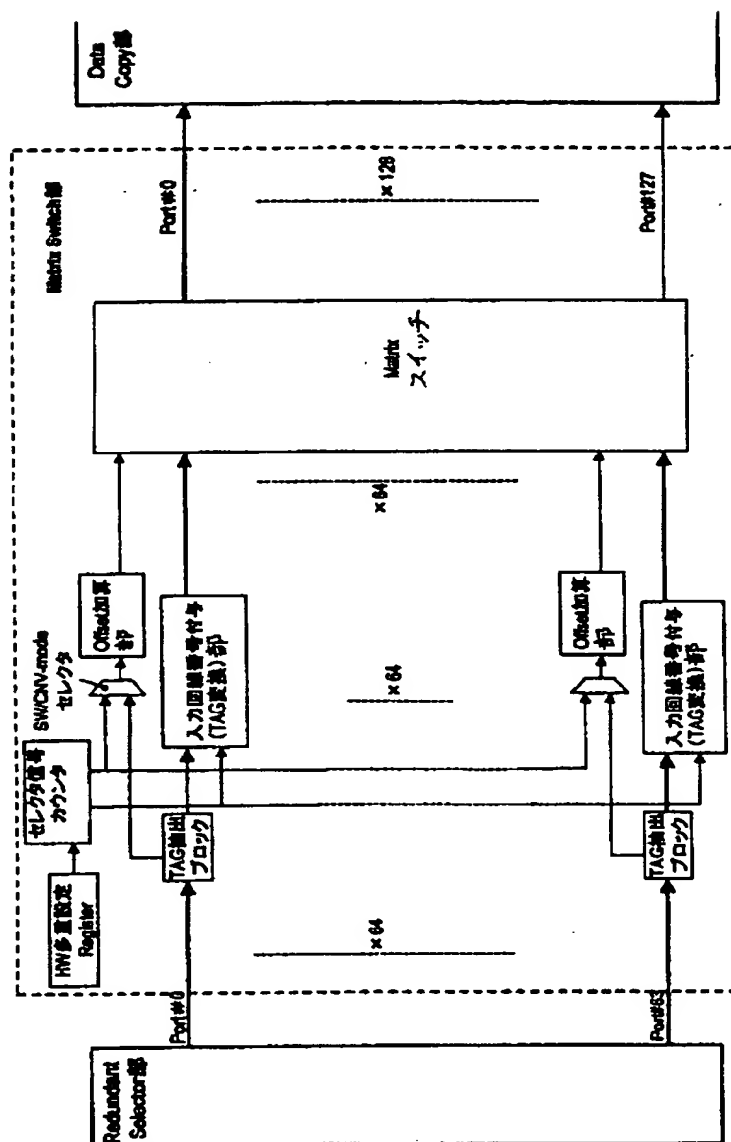
【図36】

図35のマトリクススイッチ部のデータフローを説明する図



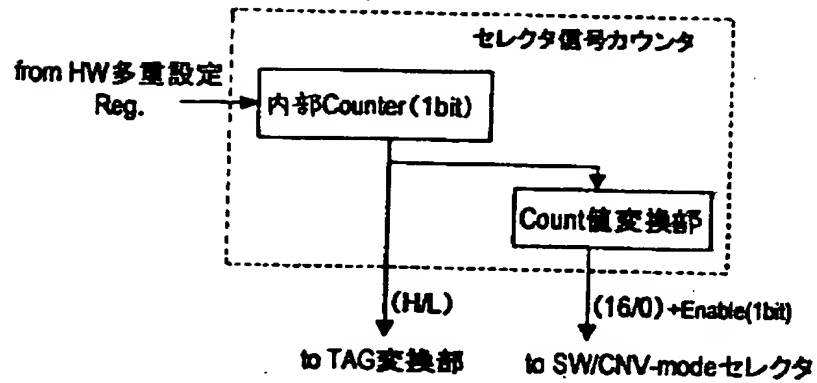
【图 3 7】

マトリックススイッチ部回路構成を示す図



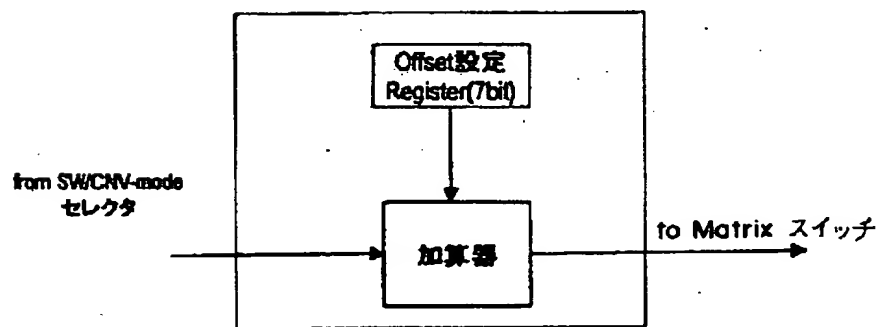
【図 38】

図37のセクタ信号カウンタを説明する図



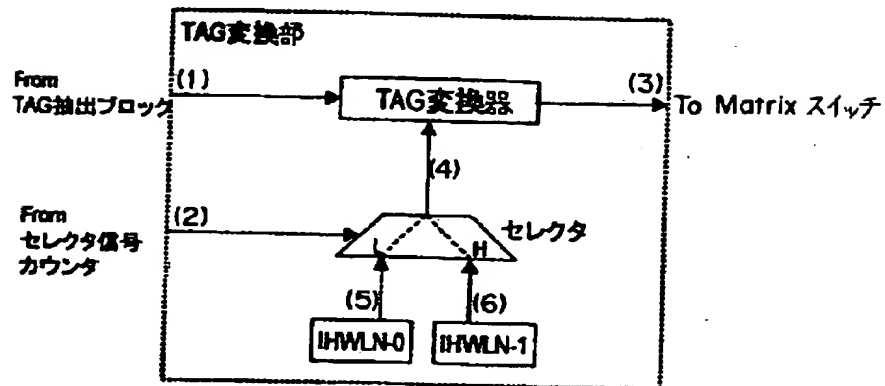
【図 39】

図37のオフセット加算部の説明をする図



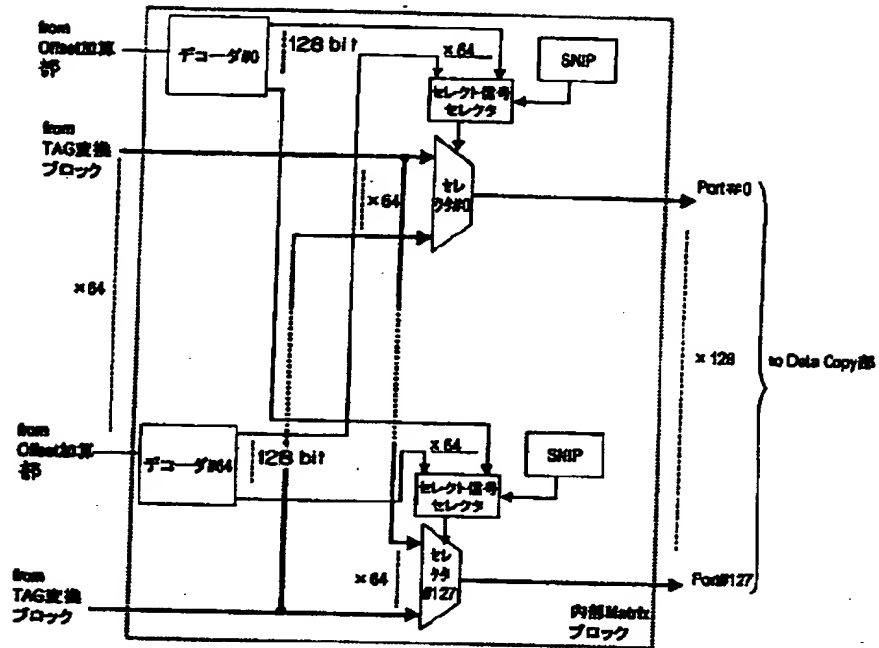
【図 4 0】

図 37 の入力回線番号付与部を説明する図



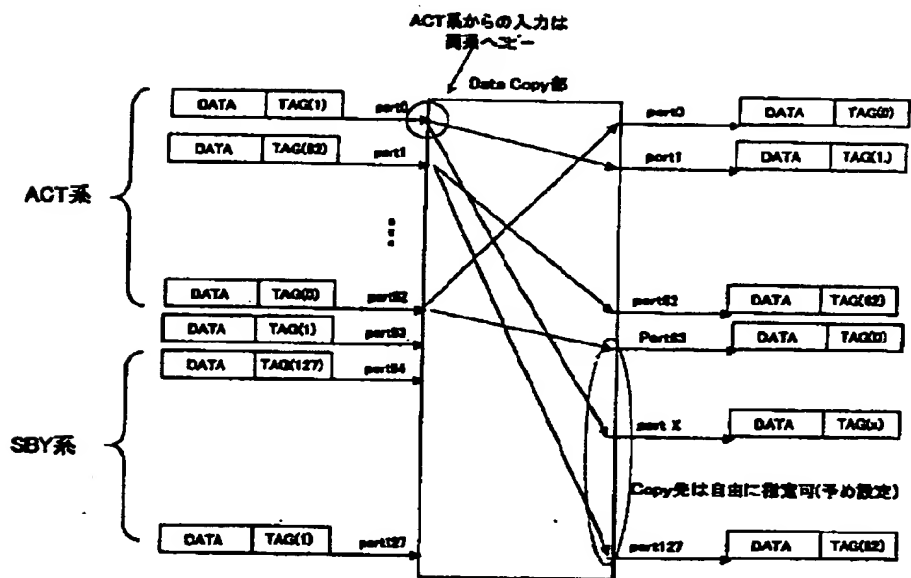
【図 4 1】

図 37 のマトリックススイッチを説明する図



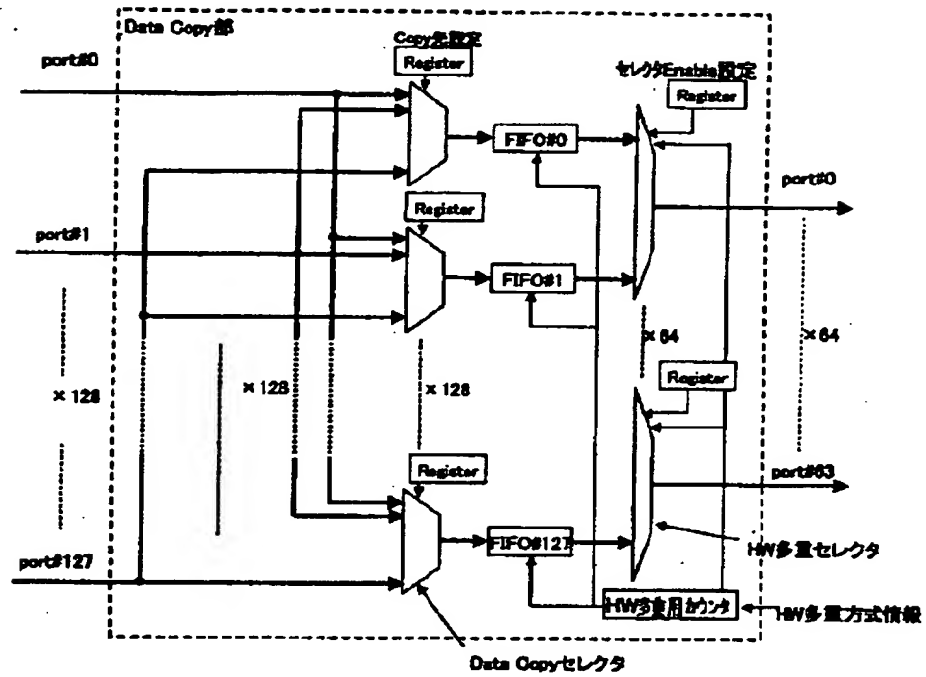
【图 4 2】

データヒー部の動作原理を説明する図



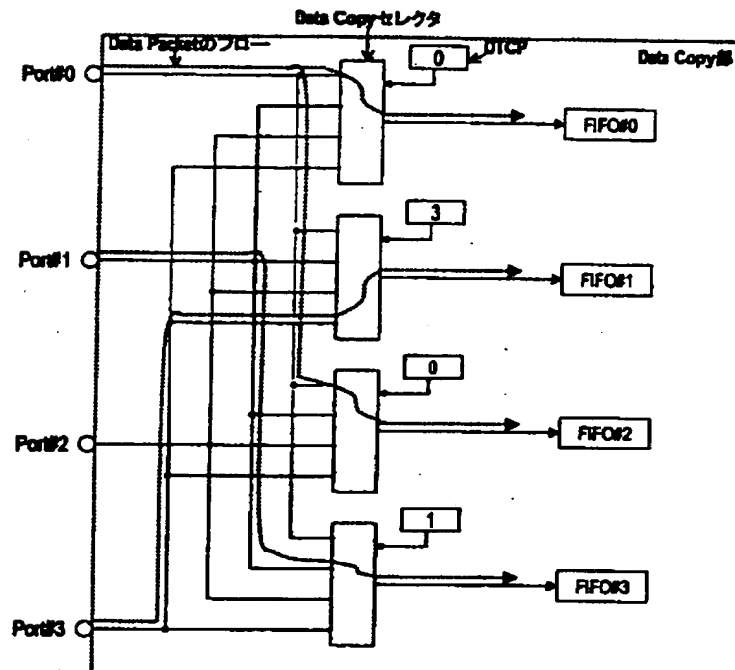
【図 4 3】

データコピー部の構成例を示す図



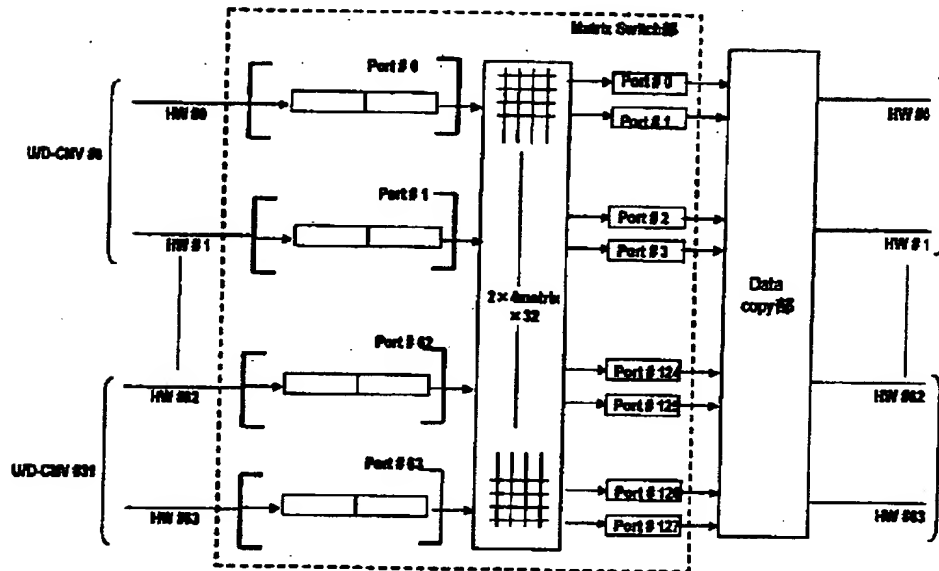
【図 4 4】

データコピーの動作概要を示した図



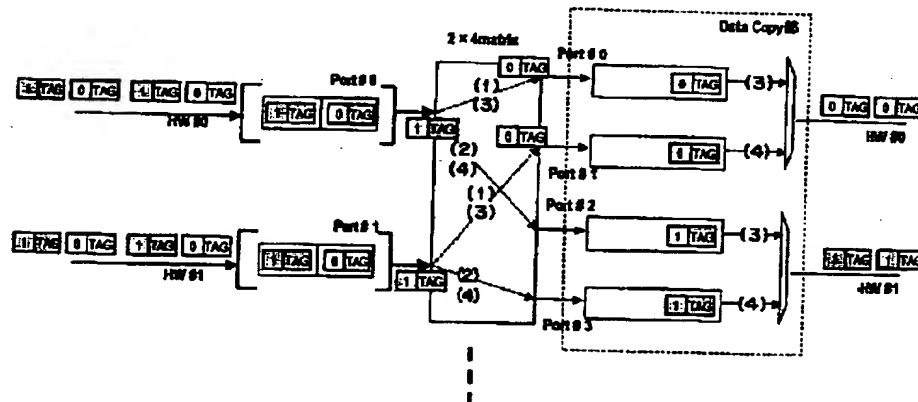
【図 4 5】

U/D-CNVの論理構成を説明する図



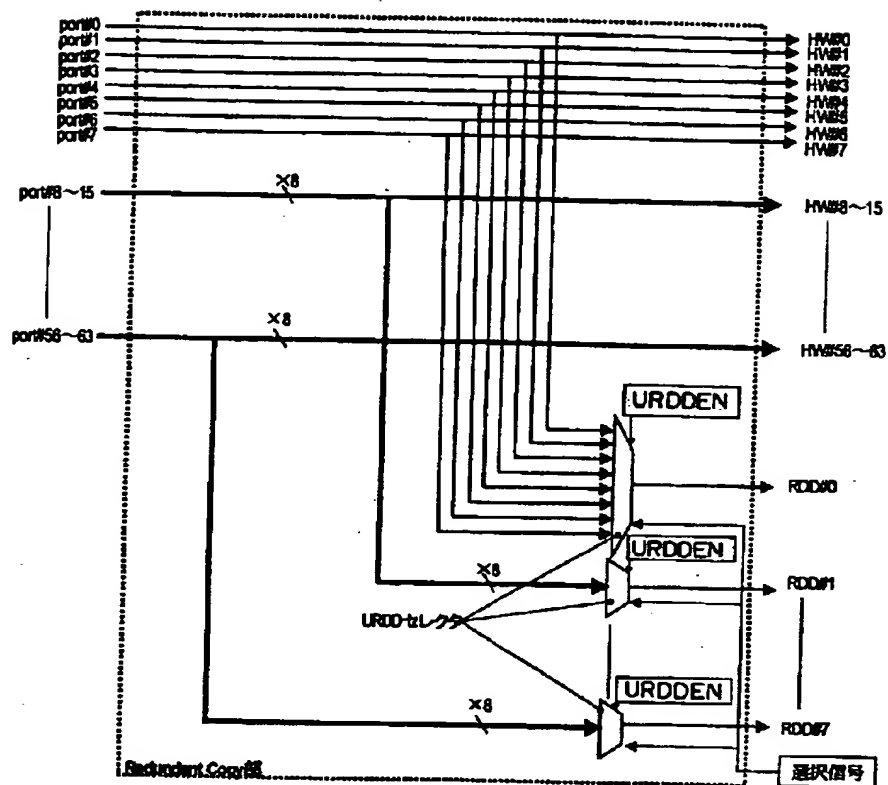
【図 4 6】

U/D-CNVのデータフローを説明する図



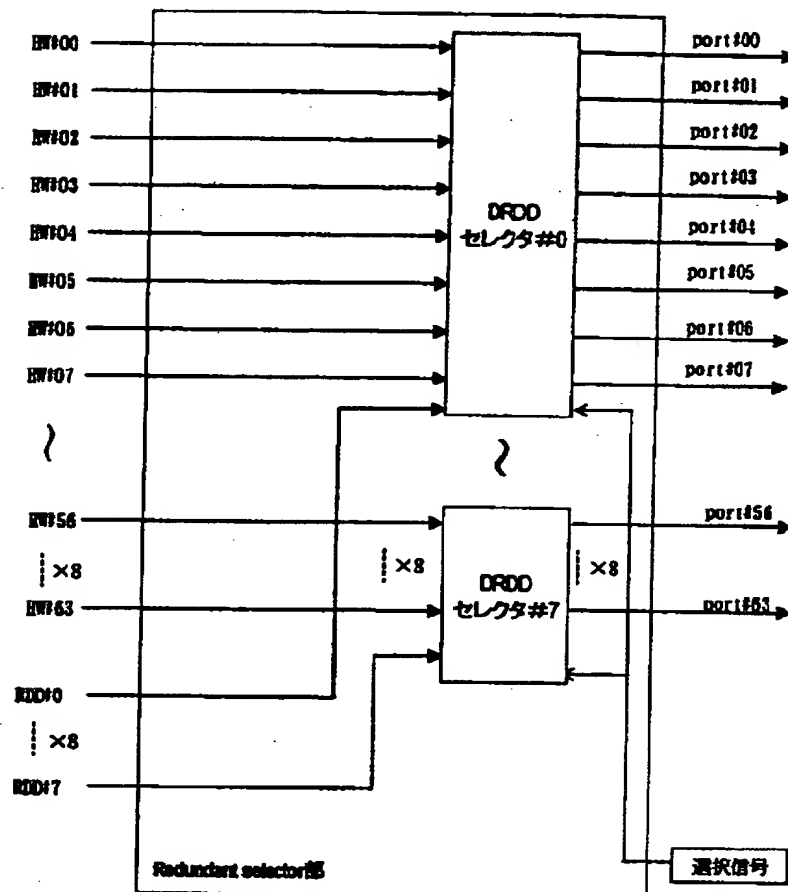
【図 47】

冗長コピー部の構成を示す図



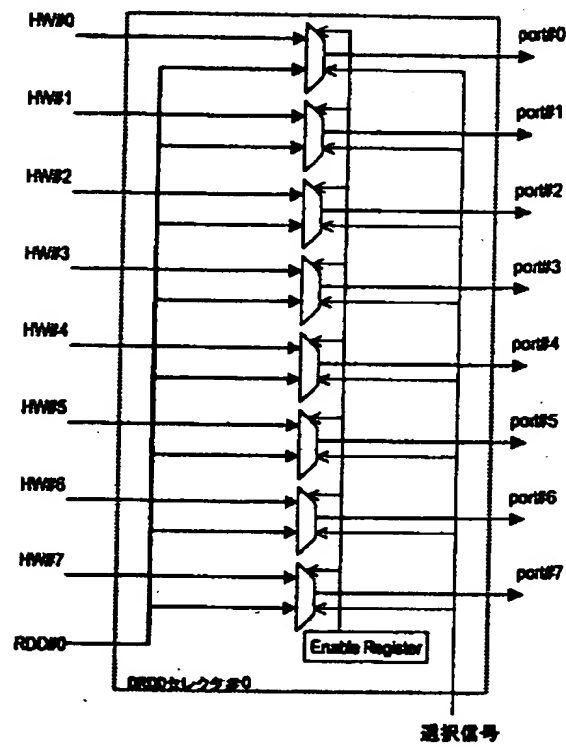
【図 48】

冗長選択部の回路構成を示す図



【図 49】

DRDDセクタの内部構成を示す図



【図 50】

XB-SW部と変換部の両機能を実現する回路を
スイッチLSIとして実現した場合の、スイッチ容量変更を
許容するスイッチシステム構成を説明する図

表 1 スイッチ容量による SW-Card 構成

スイッチ最大容量(bps)	SW-Card 枚数(冗長系は除く)	
2.56T	8	
1.28T	4	
640G	2	
320G	1	

(a)

表 2 Buffer-Card 種別

Buffer-Card 容量(bps)	収容回線数	TRSW-LSI(CNV-mode)搭載数
160G	8	2
80G	4	2
40G	2	1
20G	1	1

(b)

表 3 SW-Card 構成と許容 Buffer-Card

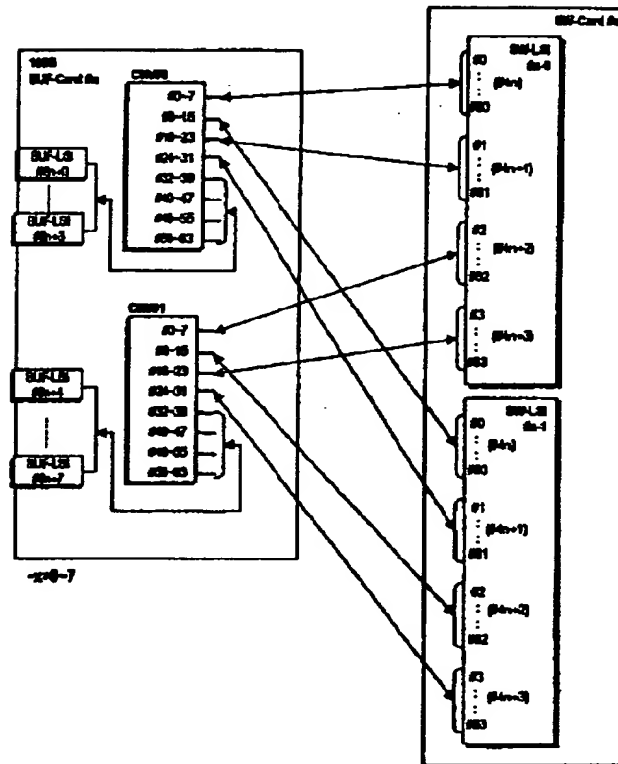
SW-Card 構成(枚数)	許容 Buffer-Card	
8	160G, 80G, 40G, 20G	
4	80G, 40G, 20G	
2	40G, 20G	
1	20G	

(c)

【図 5 1】

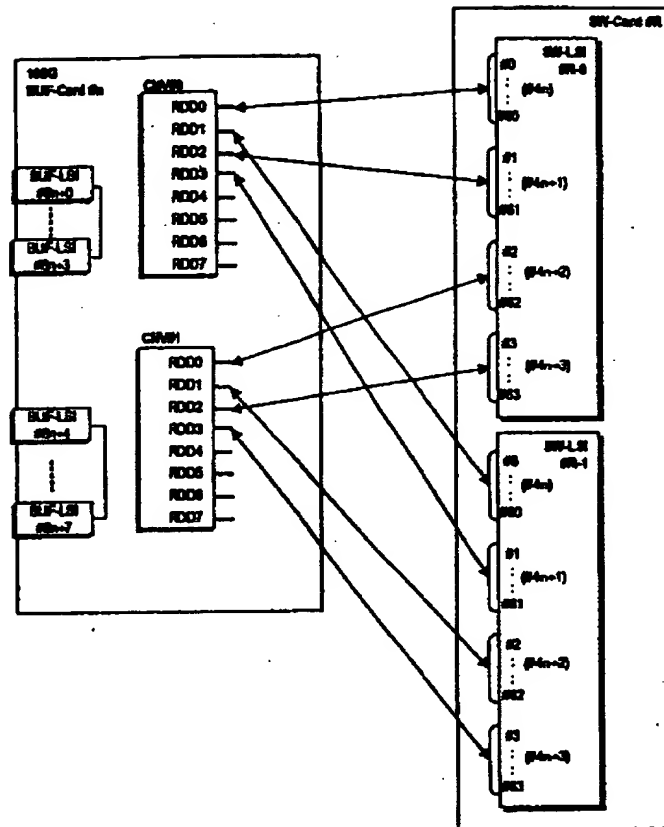
160Gバッファカードの接続のイメージ図

(その1)



【図 52】

160Gバッファカードの接続のイメージ図
(その2)



【図 53】

図51, 52 の場合の CNV 外部端子接続構成を示す図
(その1)

表 4 CNV 外部端子接続構成

外部端子 No. (DAT#)	接続先		
	Card(種別, No)	LSI No.	外部端子 No.
00	SW#0	0	4n [4n+2]
01	SW#1	0	4n [4n+2]
02	SW#2	0	4n [4n+2]
03	SW#3	0	4n [4n+2]
04	SW#4	0	4n [4n+2]
05	SW#5	0	4n [4n+2]
06	SW#8	0	4n [4n+2]
07	SW#7	0	4n [4n+2]
08	SW#0	1	4n [4n+2]
09	SW#1	1	4n [4n+2]
10	SW#2	1	4n [4n+2]
11	SW#3	1	4n [4n+2]
12	SW#4	1	4n [4n+2]

【図 54】

図51, 52の場合のCNV外部端子接続構成を示す図
(その2)

外部端子 No. (DAT#)	接続先		
	Card(種別, No)	LSI No.	外部端子 No.
13	SW#5	1	4n [4n+2]
14	SW#8	1	4n [4n+2]
15	SW#7	1	4n [4n+2]
16	SW#0	0	4n+1 [4n+3]
17	SW#1	0	4n+1 [4n+3]
18	SW#2	0	4n+1 [4n+3]
19	SW#3	0	4n+1 [4n+3]
20	SW#4	0	4n+1 [4n+3]
21	SW#5	0	4n+1 [4n+3]
22	SW#6	0	4n+1 [4n+3]
23	SW#7	0	4n+1 [4n+3]
24	SW#0	1	4n+1 [4n+3]
25	SW#1	1	4n+1 [4n+3]
26	SW#2	1	4n+1 [4n+3]
27	SW#3	1	4n+1 [4n+3]
28	SW#4	1	4n+1 [4n+3]
29	SW#5	1	4n+1 [4n+3]
30	SW#6	1	4n+1 [4n+3]
31	SW#7	1	4n+1 [4n+3]
32	BUF#n	8n [8n+4]	0
33	BUF#n	8n [8n+4]	1
34	BUF#n	8n [8n+4]	2
35	BUF#n	8n [8n+4]	3
36	BUF#n	8n [8n+4]	4
37	BUF#n	8n [8n+4]	5
38	BUF#n	8n [8n+4]	6
39	BUF#n	8n [8n+4]	7
40	BUF#n	8n+1 [8n+5]	0
41	BUF#n	8n+1 [8n+5]	1
42	BUF#n	8n+1 [8n+5]	2
43	BUF#n	8n+1 [8n+5]	3
44	BUF#n	8n+1 [8n+5]	4
45	BUF#n	8n+1 [8n+5]	5
46	BUF#n	8n+1 [8n+5]	6
47	BUF#n	8n+1 [8n+5]	7
48	BUF#n	8n+2 [8n+6]	0
49	BUF#n	8n+2 [8n+6]	1
50	BUF#n	8n+2 [8n+6]	2
51	BUF#n	8n+2 [8n+6]	3
52	BUF#n	8n+2 [8n+6]	4
53	BUF#n	8n+2 [8n+6]	5
54	BUF#n	8n+2 [8n+6]	6
55	BUF#n	8n+2 [8n+6]	7
56	BUF#n	8n+3 [8n+7]	0
57	BUF#n	8n+3 [8n+7]	1
58	BUF#n	8n+3 [8n+7]	2

【図 5 5】

図 51, 52 の場合の CNV 外部端子接続構成を示す図
(その 3)

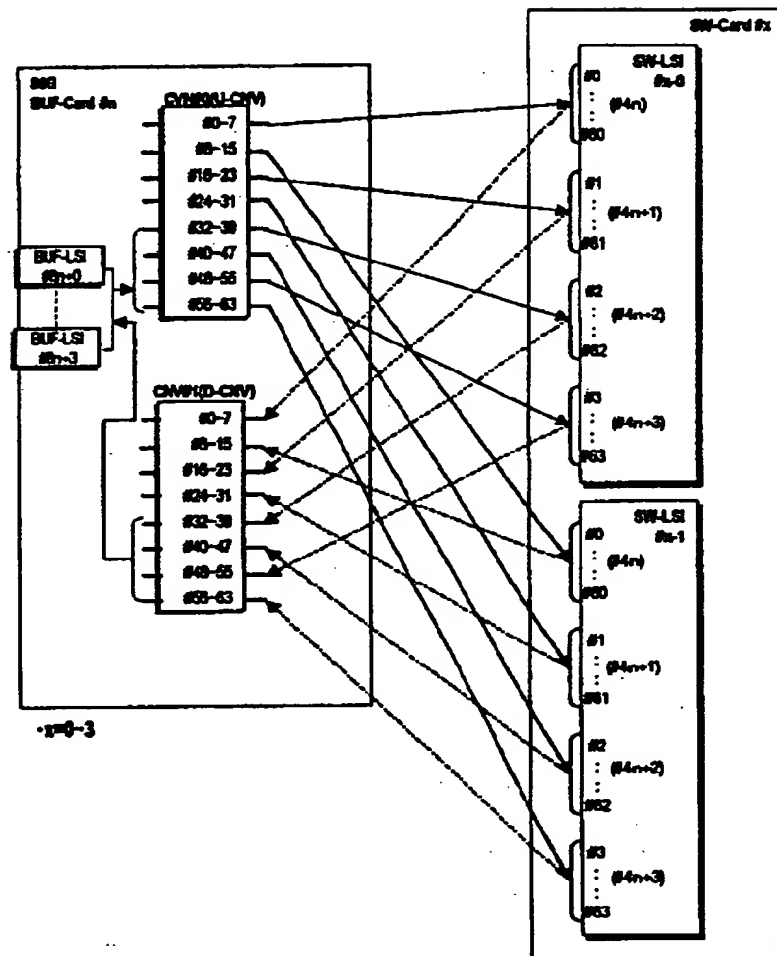
外部端子 No. (DAT#)	接続先		
	Card(種別,No)	LSI No.	外部端子 No.
59	BUF#n	8n+3 [8n+7]	3
60	BUF#n	8n+3 [8n+7]	4
61	BUF#n	8n+3 [8n+7]	5
62	BUF#n	8n+3 [8n+7]	6
63	BUF#n	8n+3 [8n+7]	7
RDD 0	SW#R	0	4n [4n+2]
RDD 1	SW#R	1	4n [4n+2]
RDD 2	SW#R	0	4n+1 [4n+3]
RDD 3	SW#R	1	4n+1 [4n+3]
RDD 4	-	-	-
RDD 5	-	-	-
RDD 6	-	-	-
RDD 7	-	-	-

(*) n ; Buffer-Card 番号.(0~7)

- ; 未接続

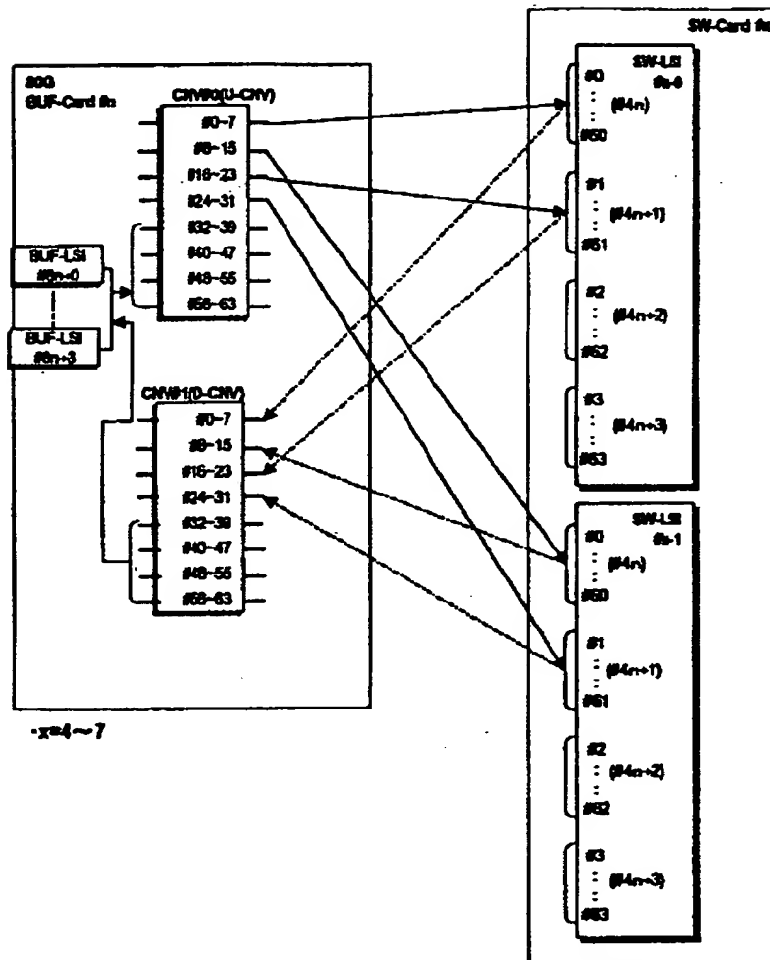
【図 56】

80Gバッファカードの接続イメージを示す図
(その1)



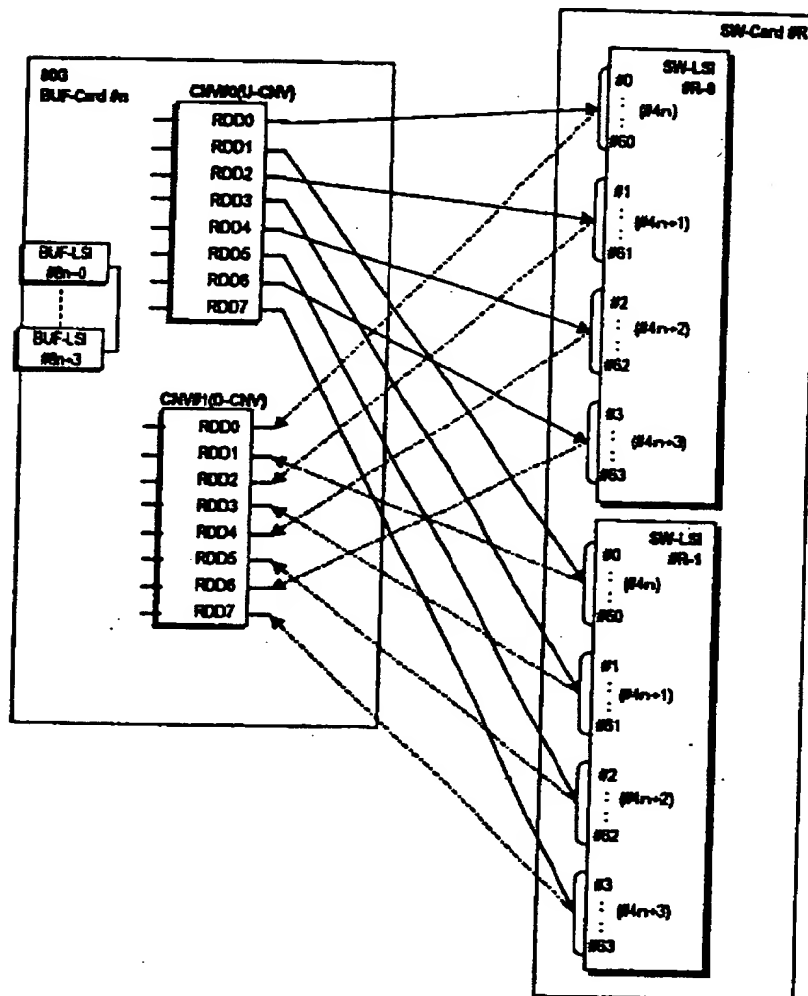
【図 57】

80Gバッファカードの接続イメージを示す図
(その2)



【図58】

80Gバッファカードの接続イメージを示す図
(その3)



【図 59】

図56～図58の場合のCNV外部端子接続構成を示す図

(その1)

表 5 CNV 外部端子接続構成(CNV#0 入力および CNV#1 出力)

外部端子 No. (DAT#)	接続先		
	Card(種別.No)	LSI No.	外部端子 No.
00	-	-	-
01	-	-	-
02	-	-	-
03	-	-	-
04	-	-	-
05	-	-	-
06	-	-	-
07	-	-	-
08	-	-	-

【図 60】

図56～図58の場合のCNV外部端子接続構成を示す図

(その2)

外部端子 No. (DAT#)	接続先		
	Card(種別, No)	LSI No.	外部端子 No.
09	-	-	-
10	-	-	-
11	-	-	-
12	-	-	-
13	-	-	-
14	-	-	-
15	-	-	-
16	-	-	-
17	-	-	-
18	-	-	-
19	-	-	-
20	-	-	-
21	-	-	-
22	-	-	-
23	-	-	-
24	-	-	-
25	-	-	-
26	-	-	-
27	-	-	-
28	-	-	-
29	-	-	-
30	-	-	-
31	-	-	-
32	BUF#n	8n	0
33	BUF#n	8n	1
34	BUF#n	8n	2
35	BUF#n	8n	3
36	BUF#n	8n	4
37	BUF#n	8n	5
38	BUF#n	8n	6
39	BUF#n	8n	7
40	BUF#n	8n+1	0
41	BUF#n	8n+1	1
42	BUF#n	8n+1	2
43	BUF#n	8n+1	3
44	BUF#n	8n+1	4
45	BUF#n	8n+1	5
46	BUF#n	8n+1	6
47	BUF#n	8n+1	7
48	BUF#n	8n+2	0
49	BUF#n	8n+2	1
50	BUF#n	8n+2	2
51	BUF#n	8n+2	3
52	BUF#n	8n+2	4
53	BUF#n	8n+2	5
54	BUF#n	8n+2	6

【図 6 1】

図56～図58の場合のCNV外部端子接続構成を示す図

(その3)

外部端子 No. (DAT#)	接続先		
	Card(種別No)	LSI No.	外部端子 No.
55	BUF#n	8n+2	7
56	BUF#n	8n+3	0
57	BUF#n	8n+3	1
58	BUF#n	8n+3	2
59	BUF#n	8n+3	3
60	BUF#n	8n+3	4
61	BUF#n	8n+3	5
62	BUF#n	8n+3	6
63	BUF#n	8n+3	7
RDD 0	-	-	-
RDD 1	-	-	-
RDD 2	-	-	-
RDD 3	-	-	-
RDD 4	-	-	-
RDD 5	-	-	-
RDD 6	-	-	-
RDD 7	-	-	-

(*) n: Buffer-Card 番号.(0～7)

-: 未接続

表 6 CNV 外部端子接続構成(CNV#0 出力および CNV#1 入力)

外部端子 No. (DAT#)	接続先		
	Card(種別No)	LSI No.	外部端子 No.
00	SW#0	0	4n
01	SW#1	0	4n
02	SW#2	0	4n
03	SW#3	0	4n
04	SW#4	0	4n
05	SW#5	0	4n
06	SW#6	0	4n
07	SW#7	0	4n
08	SW#0	1	4n
09	SW#1	1	4n
10	SW#2	1	4n
11	SW#3	1	4n
12	SW#4	1	4n
13	SW#5	1	4n
14	SW#6	1	4n
15	SW#7	1	4n
16	SW#0	0	4n+1
17	SW#1	0	4n+1
18	SW#2	0	4n+1
19	SW#3	0	4n+1
20	SW#4	0	4n+1
21	SW#5	0	4n+1

【図 62】

図56~図58の場合のCNV外部端子接続構成を示す図
(その4)

外部端子 No. (DAT#)	接続先		
	Card(種別, No)	LSI No.	外部端子 No.
22	SW#6	0	4n+1
23	SW#7	0	4n+1
24	SW#0	1	4n+1
25	SW#1	1	4n+1
26	SW#2	1	4n+1
27	SW#3	1	4n+1
28	SW#4	1	4n+1
29	SW#5	1	4n+1
30	SW#6	1	4n+1
31	SW#7	1	4n+1
32	SW#0	0	4n+2
33	SW#1	0	4n+2
34	SW#2	0	4n+2
35	SW#3	0	4n+2
36	-	-	-
37	-	-	-
38	-	-	-
39	-	-	-
40	SW#0	1	4n+2
41	SW#1	1	4n+2
42	SW#2	1	4n+2
43	SW#3	1	4n+2
44	-	-	-
45	-	-	-
46	-	-	-
47	-	-	-
48	SW#0	0	4n+3
49	SW#1	0	4n+3
50	SW#2	0	4n+3
51	SW#3	0	4n+3
52	-	-	-
53	-	-	-
54	-	-	-
55	-	-	-
56	SW#0	1	4n+3
57	SW#1	1	4n+3
58	SW#2	1	4n+3
59	SW#3	1	4n+3
60	-	-	-
61	-	-	-
62	-	-	-
63	-	-	-
RDD 0	SW#R	0	4n
RDD 1	SW#R	1	4n
RDD 2	SW#R	0	4n+1
RDD 3	SW#R	1	4n+1

【図 6 3】

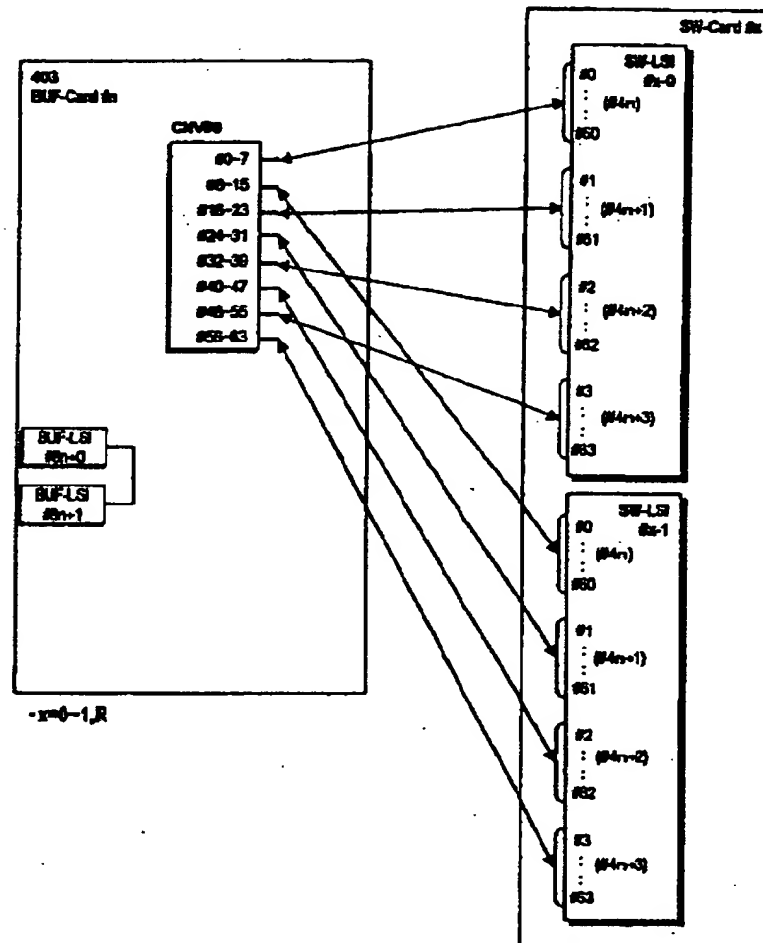
図56～図58 の場合の CNV 外部端子接続構成を示す図
(その5)

外部端子 No. (DAT#)	接続先		
	Card(種別.No)	LSI No.	外部端子 No.
RDD 4	SW#R	0	4n+2
RDD 5	SW#R	1	4n+2
RDD 6	SW#R	0	4n+3
RDD 7	SW#R	1	4n+3

(*) n ; Buffer-Card 番号.(0~7)
- ; 未接続

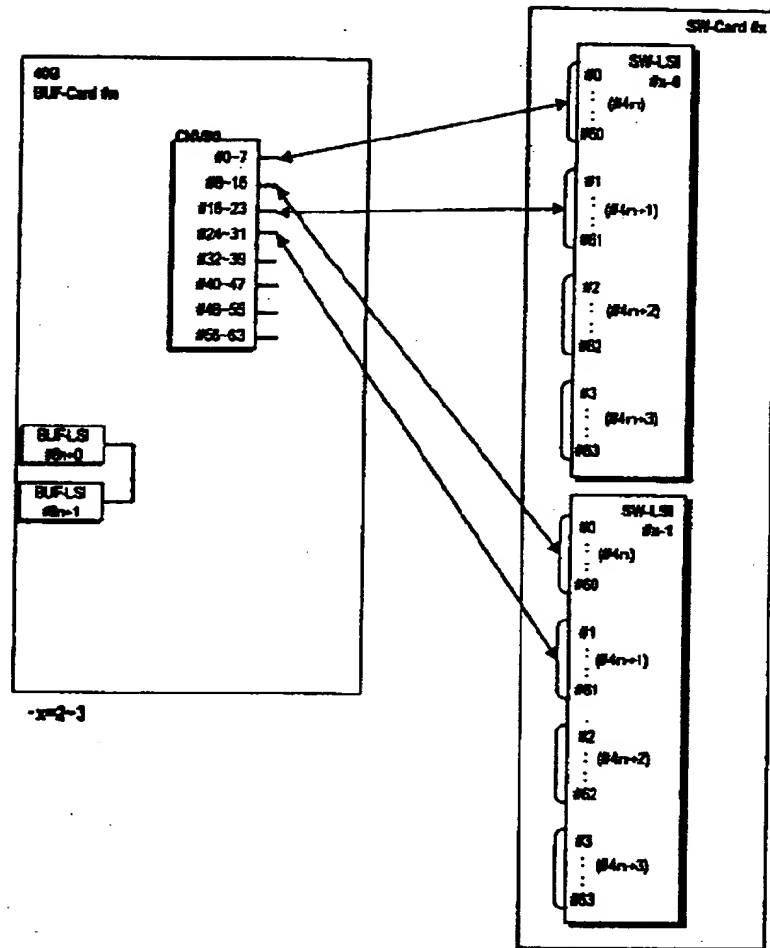
【図 64】

40Gバッファカードの接続イメージ図 (その1)



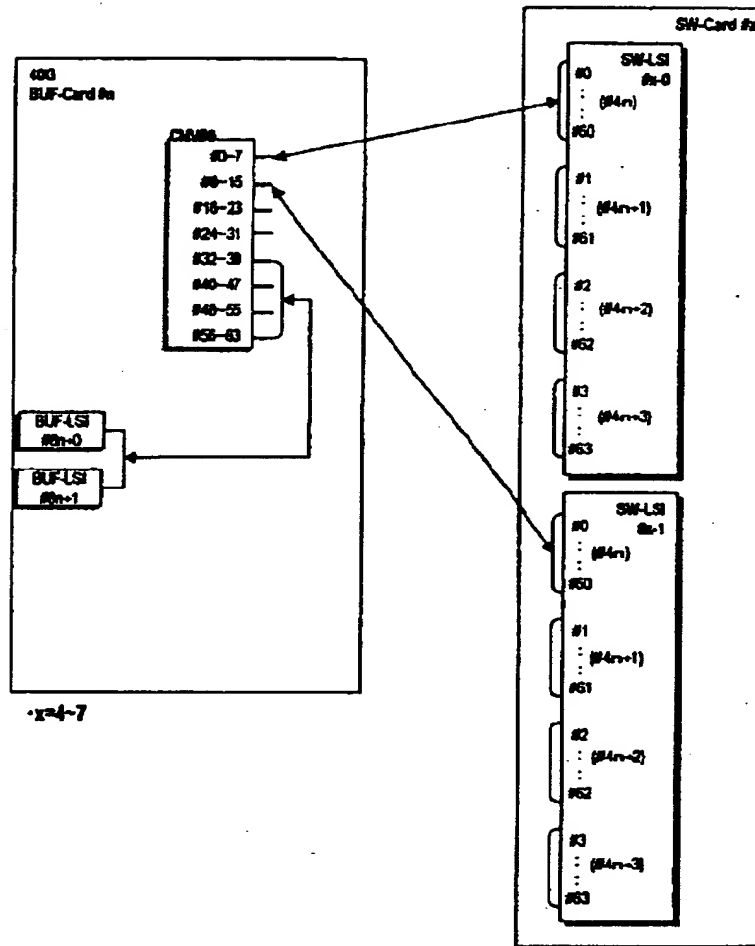
【図 65】

40Gバッファカードの接続イメージ図 (その2)



【図 66】

40G バッファカードの接続イメージ図 (その3)



【図 6 7】

図64～図66の場合のCNV外部端子接続構成を示す図
(その1)

表 7 CNV 外部端子接続構成

外部端子 No. (DAT#)	接続先		
	Card(種別,No)	LSI No.	外部端子 No.
00	SW#0	0	4n
01	SW#1	0	4n
02	SW#2	0	4n
03	SW#3	0	4n
04	SW#4	0	4n
05	SW#5	0	4n
06	SW#6	0	4n
07	SW#7	0	4n
08	SW#0	1	4n
09	SW#1	1	4n
10	SW#2	1	4n
11	SW#3	1	4n
12	SW#4	1	4n
13	SW#5	1	4n
14	SW#6	1	4n

【図68】

図64～図66の場合のCNV外部端子接続構成を示す図
(その2)

外部端子 No. (DAT#)	接続先		
	Card(種別, No)	LSI No.	外部端子 No.
15	SW#7	1	4n
16	SW#0	0	4n+1
17	SW#1	0	4n+1
18	SW#2	0	4n+1
19	SW#3	0	4n+1
20	-	-	-
21	-	-	-
22	-	-	-
23	-	-	-
24	SW#0	1	4n+1
25	SW#1	1	4n+1
26	SW#2	1	4n+1
27	SW#3	1	4n+1
28	-	-	-
29	-	-	-
30	-	-	-
31	-	-	-
32	SW#0	0	4n+2
33	SW#1	0	4n+2
34	-	-	-
35	-	-	-
36	BUF#n	8n	0
37	BUF#n	8n	1
38	BUF#n	8n	2
39	BUF#n	8n	3
40	SW#0	1	4n+2
41	SW#1	1	4n+2
42	-	-	-
43	-	-	-
44	BUF#n	8n+1	0
45	BUF#n	8n+1	1
46	BUF#n	8n+1	2
47	BUF#n	8n+1	3
48	SW#0	0	4n+3
49	SW#1	0	4n+3
50	-	-	-
51	-	-	-
52	BUF#n	8n	4
53	BUF#n	8n	5
54	BUF#n	8n	6
55	BUF#n	8n	7
56	SW#0	1	4n+3
57	SW#1	1	4n+3
58	-	-	-
59	-	-	-
60	BUF#n	8n+1	4

【図 69】

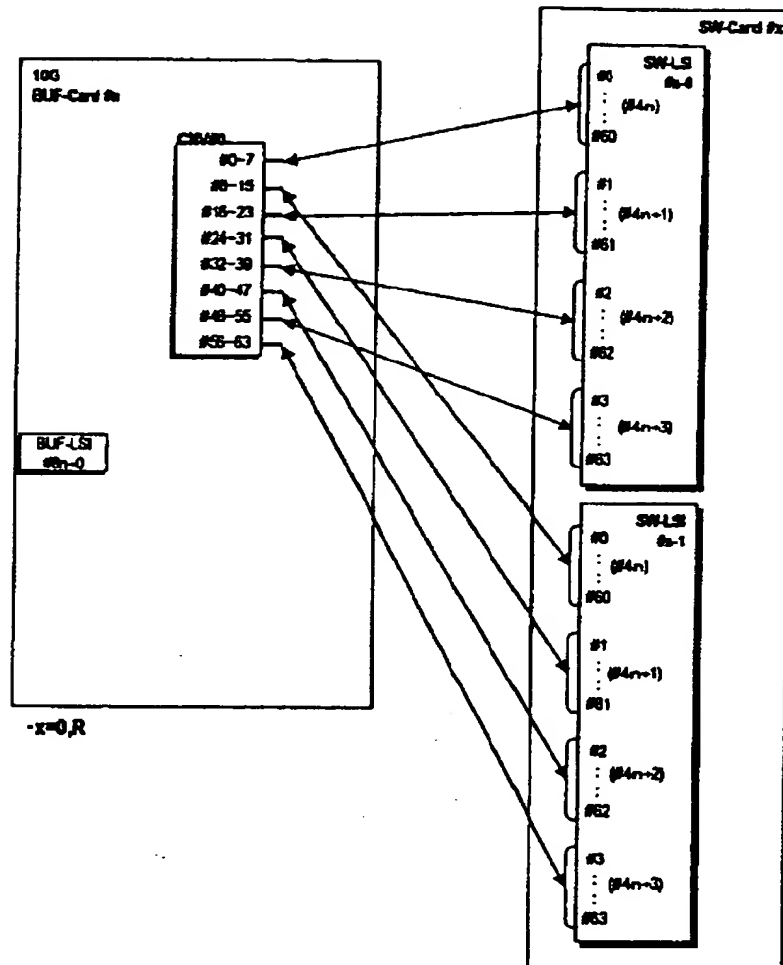
図64～図66の場合の CNV外部端子接続構成を示す図
(その3)

外部端子 No. (DAT#)	接続先		
	Card(種別.No)	LSI No.	外部端子 No.
61	BUF#n	8n+1	5
62	BUF#n	8n+1	6
63	BUF#n	8n+1	7
RDD 0	SW#R	0	4n
RDD 1	SW#R	1	4n
RDD 2	SW#R	0	4n+1
RDD 3	SW#R	1	4n+1
RDD 4	SW#R	0	4n+2
RDD 5	SW#R	1	4n+2
RDD 6	SW#R	0	4n+3
RDD 7	SW#R	1	4n+3

(*) n : Buffer-Card 番号.(0~7)
— : 未接続

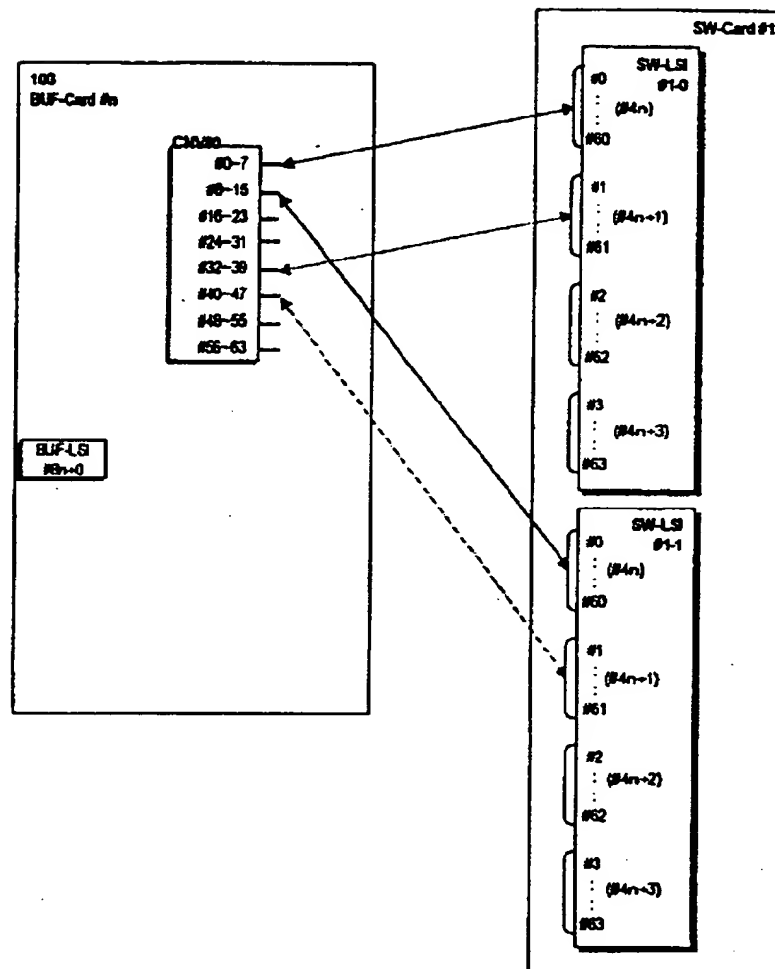
【図 70】

20G バッファカードの接続イメージ図 (その 1)



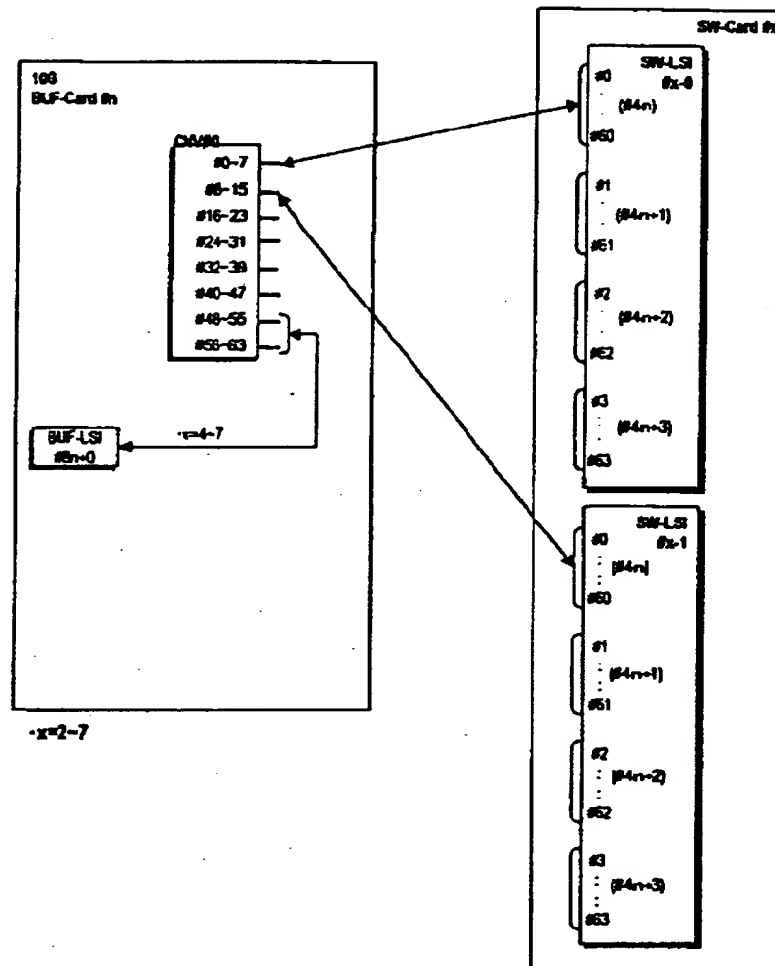
【図 7 1】

20G バッファカードの接続イメージ図 (その 2)



【図 72】

20Gバッファカードの接続イメージ図 (その3)



【図 7 3】

図70～図72の場合のCNV外部端子接続構成を示す図
(その1)

表 8 CNV 外部端子接続構成

外部端子 No. (DAT#)	接続先		
	Card(種別,No)	LSI No.	外部端子 No.
00	SW#0	0	4n
01	SW#1	0	4n
02	SW#2	0	4n
03	SW#3	0	4n
04	SW#4	0	4n
05	SW#5	0	4n
06	SW#6	0	4n
07	SW#7	0	4n
08	SW#0	1	4n
09	SW#1	1	4n
10	SW#2	1	4n
11	SW#3	1	4n
12	SW#4	1	4n
13	SW#5	1	4n
14	SW#6	1	4n

【図 74】

図 70～図 72 の場合の CNV 外部端子接続構成を示す図

(その 2)

外部端子 No. (DAT#)	接続先		
	Card(種別.No)	LSI No.	外部端子 No.
15	SW#7	1	4n
16	SW#0	0	4n+1
17	-	-	-
18	-	-	-
19	-	-	-
20	-	-	-
21	-	-	-
22	-	-	-
23	-	-	-
24	SW#0	1	4n+1
25	-	-	-
26	-	-	-
27	-	-	-
28	-	-	-
29	-	-	-
30	-	-	-
31	-	-	-
32	SW#0	0	4n+2
33	SW#1	0	4n+2
34	-	-	-
35	-	-	-
36	BUF#n	8n	0
37	BUF#n	8n	1
38	BUF#n	8n	2
39	BUF#n	8n	3
40	SW#0	1	4n+2
41	SW#1	1	4n+2
42	-	-	-
43	-	-	-
44	-	-	-
45	-	-	-
46	-	-	-
47	-	-	-
48	SW#0	0	4n+3
49	-	-	-
50	-	-	-
51	-	-	-
52	BUF#n	8n	4
53	BUF#n	8n	5
54	BUF#n	8n	6
55	BUF#n	8n	7
56	SW#0	1	4n+3
57	-	-	-
58	-	-	-
59	-	-	-
60	-	-	-

【図 7 5】

図 70 ～ 図 72 の場合の CNV 外部端子接続構成を
示す図 (その 3)

外部端子 No. (DAT#)	接続先		
	Card(種別, No)	LSI No.	外部端子 No.
61	-	-	-
62	-	-	-
63	-	-	-
RDD 0	SW#R	0	4n
RDD 1	SW#R	1	4n
RDD 2	SW#R	0	4n+1
RDD 3	SW#R	1	4n+1
RDD 4	SW#R	0	4n+2
RDD 5	SW#R	1	4n+2
RDD 6	SW#R	0	4n+3
RDD 7	SW#R	1	4n+3

(*) n ; Buffer-Card 番号.(0～7)

- ; 未接続

【図 7 6】

オフセット設定レジスタの設定値を示すテーブル (その1)

表 9 Offset 設定 Register Table(SW#0/1)

SW-Card構成					SW-Card構成				
port番号	8枚 (2.56T)	4枚 (1.28T)	2枚 (640G)	1枚 (320G)	port番号	8枚 (2.56T)	4枚 (1.28T)	2枚 (640G)	1枚 (320G)
0	0	0	0	0	32	0	0	0	0
1	0	0	0	1	33	0	0	0	1
2	0	0	2	2	34	0	0	2	2
3	0	0	2	3	35	0	0	2	3
4	0	0	0	0	36	0	0	0	0
5	0	0	0	1	37	0	0	0	1
6	0	0	2	2	38	0	0	2	2
7	0	0	2	3	39	0	0	2	3
8	0	0	0	0	40	0	0	0	0
9	0	0	0	1	41	0	0	0	1
10	0	0	2	2	42	0	0	2	2
11	0	0	2	3	43	0	0	2	3
12	0	0	0	0	44	0	0	0	0
13	0	0	0	1	45	0	0	0	1
14	0	0	2	2	46	0	0	2	2
15	0	0	2	3	47	0	0	2	3
16	0	0	0	0	48	0	0	0	0
17	0	0	0	1	49	0	0	0	1
18	0	0	2	2	50	0	0	2	2
19	0	0	2	3	51	0	0	2	3
20	0	0	0	0	52	0	0	0	0
21	0	0	0	1	53	0	0	0	1
22	0	0	2	2	54	0	0	2	2
23	0	0	2	3	55	0	0	2	3
24	0	0	0	0	56	0	0	0	0
25	0	0	0	1	57	0	0	0	1
26	0	0	2	2	58	0	0	2	2
27	0	0	2	3	59	0	0	2	3
28	0	0	0	0	60	0	0	0	0
29	0	0	0	1	61	0	0	0	1
30	0	0	2	2	62	0	0	2	2
31	0	0	2	3	63	0	0	2	3

【図 77】

オフセット設定レジスタの設定値を示すテーブル（その2）

◆160G Buffer-Card

表 10 Offset 設定 Register Table(CNV#0/1)

port番号	SW-Card構成				port番号	SW-Card構成			
	8枚 (2.56T)	4枚 (1.28T)	2枚 (640G)	1枚 (320G)		8枚 (2.56T)	4枚 (1.28T)	2枚 (640G)	1枚 (320G)
0	64	許容されない構成			32	0	許容されない構成		
1	68				33	2			
2	68				34	4			
3	70				35	6			
4	72				36	8			
5	74				37	10			
6	76				38	12			
7	78				39	14			
8	85				40	1			
9	87				41	3			
10	69				42	5			
11	71				43	7			
12	73				44	9			
13	75				45	11			
14	77				46	13			
15	79				47	15			
16	96				48	32			
17	98				49	34			
18	100				50	36			
19	102				51	38			
20	104				52	40			
21	106				53	42			
22	108				54	44			
23	110				55	46			
24	97				56	33			
25	99				57	35			
26	101				58	37			
27	103				59	39			
28	105				60	41			
29	107				61	43			
30	109				62	45			
31	111				63	47			

【図 78】

オフセット設定レジスタの設定値を示すテーブル (その3)

◆80G Buffer Card

表 11 Offset 設定 Register Table(CNV#0)

port 番号	SW-Card構成			
	8枚 (2.56T)	4枚 (1.28T)	2枚 (640G)	1枚 (320G)
0	-	-	許容されない 構成	
1	-	-		
2	-	-		
3	-	-		
4	-	-		
5	-	-		
6	-	-		
7	-	-		
8	-	-		
9	-	-		
10	-	-		
11	-	-		
12	-	-		
13	-	-		
14	-	-		
15	-	-		
16	-	-		
17	-	-		
18	-	-		
19	-	-		
20	-	-		
21	-	-		
22	-	-		
23	-	-		
24	-	-		
25	-	-		
26	-	-		
27	-	-		
28	-	-		
29	-	-		
30	-	-		
31	-	-		

port 番号	SW-Card構成			
	8枚 (2.56T)	4枚 (1.28T)	2枚 (640G)	1枚 (320G)
32	0	0	許容されない 構成	
33	2	2		
34	4	4		
35	6	6		
36	8	16		
37	10	18		
38	12	20		
39	14	22		
40	1	32		
41	3	34		
42	5	36		
43	7	38		
44	9	48		
45	11	50		
46	13	52		
47	15	54		
48	32	64		
49	34	66		
50	36	68		
51	38	70		
52	40	80		
53	42	82		
54	44	84		
55	46	86		
56	33	96		
57	35	98		
58	37	100		
59	39	102		
60	41	112		
61	43	114		
62	45	116		
63	47	118		

(*) - ; 未接続のため、設定値は任意

【図 79】

オフセット設定レジスタの設定値を示すテーブル(その4)

表 12 Offset 設定 Register Table(CNV#1)

port番号	SW-Card構成				port番号	SW-Card構成			
	8枚 (2.56T)	4枚 (1.28T)	2枚 (640G)	1枚 (320G)		8枚 (2.56T)	4枚 (1.28T)	2枚 (640G)	1枚 (320G)
0	64	64	許容されない 構成		32	-	96	許容されない 構成	
1	66	66			33	-	98		
2	68	68			34	-	100		
3	70	70			35	-	102		
4	72	-			36	-	-		
5	74	-			37	-	-		
6	76	-			38	-	-		
7	78	-			39	-	-		
8	85	72			40	-	104		
9	87	74			41	-	106		
10	69	76			42	-	108		
11	71	78			43	-	110		
12	73	-			44	-	-		
13	75	-			45	-	-		
14	77	-			46	-	-		
15	79	-			47	-	-		
16	98	80			48	-	112		
17	98	82			49	-	114		
18	100	84			50	-	116		
19	102	86			51	-	118		
20	104	-			52	-	-		
21	106	-			53	-	-		
22	108	-			54	-	-		
23	110	-			55	-	-		
24	97	88			56	-	120		
25	99	90			57	-	122		
26	101	92			58	-	124		
27	103	94			59	-	126		
28	105	-			60	-	-		
29	107	-			61	-	-		
30	109	-			62	-	-		
31	111	-			63	-	-		

(*) - ; 未接続のため、設定値は任意

【図 80】

オフセット設定レジスタの設定値を示すテーブル (その5)

◆40G Buffer-Card

表 13 Offset 設定 Register Table(CNV#0)

SW-Card構成				
port番号	8枚 (2.56T)	4枚 (1.28T)	2枚 (640G)	1枚 (320G)
0	72	72	72	許容されない構成
1	74	74	74	
2	76	76	-	
3	78	78	-	
4	104	-	-	
5	108	-	-	
6	108	-	-	
7	110	-	-	
8	73	104	78	
9	75	106	78	
10	77	108	-	
11	79	110	-	
12	105	-	-	
13	107	-	-	
14	109	-	-	
15	111	-	-	
16	-	88	88	
17	-	90	90	
18	-	92	-	
19	-	94	-	
20	-	-	-	
21	-	-	-	
22	-	-	-	
23	-	-	-	
24	-	120	92	
25	-	122	94	
26	-	124	-	
27	-	126	-	
28	-	-	-	
29	-	-	-	
30	-	-	-	
31	-	-	-	

SW-Card構成				
port番号	8枚 (2.56T)	4枚 (1.28T)	2枚 (640G)	1枚 (320G)
32	-	-	104	許容されない構成
33	-	-	108	
34	-	-	-	
35	-	-	-	
36	0	0	0	
37	2	2	2	
38	4	4	16	
39	6	6	18	
40	-	-	108	
41	-	-	110	
42	-	-	-	
43	-	-	-	
44	1	32	32	
45	3	34	34	
46	5	36	48	
47	7	38	50	
48	-	-	120	
49	-	-	122	
50	-	-	-	
51	-	-	-	
52	8	16	64	
53	10	18	66	
54	12	20	80	
55	14	22	82	
56	-	-	124	
57	-	-	126	
58	-	-	-	
59	-	-	-	
60	9	48	96	
61	11	50	98	
62	13	52	112	
63	15	54	114	

(*) - ; 未接続のため、設定値は任意

【図 8 1】

オフセット設定レジスタの設定値を示すテーブル (その6)

◆20G Buffer Card

表 14 Offset 設定 Register Table(CNV#0)

port番号	SW-Card構成			
	8枚 (2.56T)	4枚 (1.28T)	2枚 (640G)	1枚 (320G)
0	72	72	72	72
1	74	74	74	-
2	76	76	-	-
3	78	78	-	-
4	104	-	-	-
5	108	-	-	-
6	108	-	-	-
7	110	-	-	-
8	73	104	76	74
9	75	106	78	-
10	77	108	-	-
11	79	110	-	-
12	105	-	-	-
13	107	-	-	-
14	109	-	-	-
15	111	-	-	-
16	-	88	88	76
17	-	90	90	-
18	-	92	-	-
19	-	94	-	-
20	-	-	-	-
21	-	-	-	-
22	-	-	-	-
23	-	-	-	-
24	-	120	92	78
25	-	122	94	-
26	-	124	-	-
27	-	126	-	-
28	-	-	-	-
29	-	-	-	-
30	-	-	-	-
31	-	-	-	-

port番号	SW-Card構成			
	8枚 (2.56T)	4枚 (1.28T)	2枚 (640G)	1枚 (320G)
32	-	-	104	104
33	-	-	108	-
34	-	-	-	-
35	-	-	-	-
36	0	0	0	0
37	2	2	2	16
38	4	4	16	32
39	6	6	18	48
40	-	-	108	108
41	-	-	110	-
42	-	-	-	-
43	-	-	-	-
44	-	-	-	-
45	-	-	-	-
46	-	-	-	-
47	-	-	-	-
48	-	-	-	108
49	-	-	-	-
50	-	-	-	-
51	-	-	-	-
52	8	16	64	64
53	10	18	66	80
54	12	20	80	96
55	14	22	82	112
56	-	-	-	110
57	-	-	-	-
58	-	-	-	-
59	-	-	-	-
60	-	-	-	-
61	-	-	-	-
62	-	-	-	-
63	-	-	-	-

(*) - ; 未接続のため、設定値は任意

【図 8 2】

入力回線番号設定レジスタ0/1の設定値を示すテーブル

SW-Card 構成	Register 設定値
8 枚 (2.56T)	2N
4 枚 (1.28T)	$8 \times N/4 + N \text{ mode4}$
2 枚 (640G)	$8 \times N/4 + N \text{ mode2}$
1 枚 (320G)	$8 \times N/4 + N \text{ mode1}$

(ここで、 $|N/4|$ は、Nを4で割った商(正数)とする。)

【図 83】

セクタ Enable 設定レジスタの設定値を示すテーブル

(その 1)

◆160G Buffer-Card

表 15 セクタ Enable 設定 Register Table(CNV#0/1)

port 番号	SW-Card構成			
	8枚 (2.56T)	4枚 (1.28T)	2枚 (640G)	1枚 (320G)
0	All 1	許容されない構成		
1				
2				
3				
4				
5				
6				
7				
8				
9				
10				
11				
12				
13				
14				
15				
16				
17				
18				
19				
20				
21				
22				
23				
24				
25				
26				
27				
28				
29				
30				
31				

port 番号	SW-Card構成			
	8枚 (2.56T)	4枚 (1.28T)	2枚 (640G)	1枚 (320G)
32	All 1	許容されない構成		
33				
34				
35				
36				
37				
38				
39				
40				
41				
42				
43				
44				
45				
46				
47				
48				
49				
50				
51				
52				
53				
54				
55				
56				
57				
58				
59				
60				
61				
62				
63				

【図 8 4】

セクタ Enable 設定レジスタの設定値を示すテーブル

(その2)

◆80G Buffer-Card

表 16 セクタ Enable 設定 Register Table(CNV#0)

port番号	SW-Card構成				port番号	SW-Card構成			
	8枚 (2.56T)	4枚 (1.28T)	2枚 (640G)	1枚 (320G)		8枚 (2.56T)	4枚 (1.28T)	2枚 (640G)	1枚 (320G)
0	1	1	許容されない 構成		32	0	1	許容されない 構成	
1	1	1			33	0	1		
2	-	1			34	0	1		
3	1	1			35	0	1		
4	1	-			36	-	-		
5	1	-			37	-	-		
6	1	-			38	-	-		
7	1	-			39	-	-		
8	1	1			40	0	1		
9	1	1			41	0	1		
10	1	1			42	0	1		
11	1	1			43	0	1		
12	1	-			44	-	-		
13	1	-			45	-	-		
14	1	-			46	-	-		
15	1	-			47	-	-		
16	1	1			48	0	1		
17	1	1			49	0	1		
18	1	1			50	0	1		
19	1	1			51	0	1		
20	1	-			52	-	-		
21	1	-			53	-	-		
22	1	-			54	-	-		
23	1	-			55	-	-		
24	1	1			56	0	1		
25	1	1			57	0	1		
26	1	1			58	0	1		
27	1	1			59	0	1		
28	1	-			60	-	-		
29	1	-			61	-	-		
30	1	-			62	-	-		
31	1	-			63	-	-		

(*) - ; 未接続のため、設定値は任意

【図 8 5】

セクタ Enable 設定レジスタの設定値を示すテーブル
(その 3)

表 17 セクタ Enable 設定 Register Table(CNV#1)

port 番号	SW-Card構成			
	8枚 (2.56T)	4枚 (1.28T)	2枚 (640G)	1枚 (320G)
0	-	-	許容されない 構成	
1	-	-		
2	-	-		
3	-	-		
4	-	-		
5	-	-		
6	-	-		
7	-	-		
8	-	-		
9	-	-		
10	-	-		
11	-	-		
12	-	-		
13	-	-		
14	-	-		
15	-	-		
16	-	-		
17	-	-		
18	-	-		
19	-	-		
20	-	-		
21	-	-		
22	-	-		
23	-	-		
24	-	-		
25	-	-		
26	-	-		
27	-	-		
28	-	-		
29	-	-		
30	-	-		
31	-	-		

port 番号	SW-Card構成			
	8枚 (2.56T)	4枚 (1.28T)	2枚 (640G)	1枚 (320G)
32	1	1	許容されない 構成	
33	1	1		
34	1	1		
35	1	1		
36	1	1		
37	1	1		
38	1	1		
39	1	1		
40	1	1		
41	1	1		
42	1	1		
43	1	1		
44	1	1		
45	1	1		
46	1	1		
47	1	1		
48	1	1		
49	1	1		
50	1	1		
51	1	1		
52	1	1		
53	1	1		
54	1	1		
55	1	1		
56	1	1		
57	1	1		
58	1	1		
59	1	1		
60	1	1		
61	1	1		
62	1	1		
63	1	1		

(*) - ; 未接続のため、設定値は任意

【図 86】

セクタ Enable 設定レジスタの設定値を示すテーブル
(その4)

◆40G Buffer-Card

表 18 セクタ Enable 設定 Register Table(CNV#0)

port 番号	SW-Card構成				
	8枚 (2.56T)	4枚 (1.28T)	2枚 (640G)	1枚 (320G)	
0	1	1	1	1	許容され ない 構成
1	1	1	1	1	
2	1	1	-	-	
3	1	1	-	-	
4	1	-	-	-	
5	1	-	-	-	
6	1	-	-	-	
7	1	-	-	-	
8	1	1	1	1	
9	1	1	1	1	
10	1	1	-	-	
11	1	1	-	-	
12	1	-	-	-	
13	1	-	-	-	
14	1	-	-	-	
15	1	-	-	-	
16	0	1	1	1	
17	0	1	1	1	
18	0	1	-	-	
19	0	1	-	-	
20	-	-	-	-	
21	-	-	-	-	
22	-	-	-	-	
23	-	-	-	-	
24	0	1	1	1	
25	0	1	1	1	
26	-	1	-	-	
27	-	1	-	-	
28	-	-	-	-	
29	-	-	-	-	
30	-	-	-	-	
31	-	-	-	-	

port 番号	SW-Card構成				
	8枚 (2.56T)	4枚 (1.28T)	2枚 (640G)	1枚 (320G)	
32	0	0	1	1	許容され ない 構成
33	0	0	1	1	
34	-	-	-	-	
35	-	-	-	-	
36	1	1	1	1	
37	1	1	1	1	
38	1	1	1	1	
39	1	1	1	1	
40	0	0	1	1	
41	0	0	1	1	
42	-	-	-	-	
43	-	-	-	-	
44	1	1	1	1	
45	1	1	1	1	
46	1	1	1	1	
47	1	1	1	1	
48	0	0	1	1	
49	0	0	1	1	
50	-	-	-	-	
51	-	-	-	-	
52	1	1	1	1	
53	1	1	1	1	
54	1	1	1	1	
55	1	1	1	1	
56	0	0	1	1	
57	0	0	1	1	
58	-	-	-	-	
59	-	-	-	-	
60	1	1	1	1	
61	1	1	1	1	
62	1	1	1	1	
63	1	1	1	1	

(*) - ; 未接続のため、設定値は任意

【図 87】

セクタ Enable 設定レジスタの設定値を示すテーブル (その 5)

◆20G Buffer-Card

表 19 セクタ Enable 設定 Register Table(CNV#0)

port 番号	SW-Card構成			
	8枚 (2.56T)	4枚 (1.28T)	2枚 (640G)	1枚 (320G)
0	1	1	1	1
1	1	1	1	-
2	1	1	-	-
3	1	1	-	-
4	1	-	-	-
5	1	-	-	-
6	1	-	-	-
7	1	-	-	-
8	1	1	1	1
9	1	1	1	-
10	1	1	-	-
11	1	1	-	-
12	1	-	-	-
13	1	-	-	-
14	1	-	-	-
15	1	-	-	-
16	0	0	0	1
17	-	-	-	-
18	-	-	-	-
19	-	-	-	-
20	-	-	-	-
21	-	-	-	-
22	-	-	-	-
23	-	-	-	-
24	0	0	0	1
25	-	-	-	-
26	-	-	-	-
27	-	-	-	-
28	-	-	-	-
29	-	-	-	-
30	-	-	-	-
31	-	-	-	-

port 番号	SW-Card構成			
	8枚 (2.56T)	4枚 (1.28T)	2枚 (640G)	1枚 (320G)
32	0	0	1	1
33	0	0	1	-
34	-	-	-	-
35	-	-	-	-
36	1	1	1	1
37	1	1	1	1
38	1	1	1	1
39	1	1	1	1
40	0	0	1	1
41	0	0	1	-
42	-	-	-	-
43	-	-	-	-
44	-	-	-	-
45	-	-	-	-
46	-	-	-	-
47	-	-	-	-
48	0	0	0	1
49	-	-	-	-
50	-	-	-	-
51	-	-	-	-
52	1	1	1	1
53	1	1	1	1
54	1	1	1	1
55	1	1	1	1
56	0	0	0	1
57	-	-	-	-
58	-	-	-	-
59	-	-	-	-
60	-	-	-	-
61	-	-	-	-
62	-	-	-	-
63	-	-	-	-

(*) - ; 未接続のため、設定値は任意

【図 88】

URDDセクタと DRDDセクタ Enableレジスタの設定値を示すテーブル
(その1)

●160G Buffer Card

RDD No.	SW-Card 構成			
	8枚 (2.56T)	4枚 (1.28T)	2枚 (640G)	1枚 (320G)
0	1	許容されない構成		
1	1			
2	1			
3	1			
4	0			
5	0			
6	0			
7	0			

【図 89】

URDDセクタと DRDDセクタ Enableレジスタの設定値を示すテーブル

●80G Buffer-Card

(その2)

・ CNV#0

RDD No.	SW-Card 構成			
	8枚 (2.56T)	4枚 (1.28T)	2枚 (640G)	1枚 (320G)
0	1	1	許容されない構成	
1	1	1		
2	1	1		
3	1	1		
4	0	1		
5	0	1		
6	0	1		
7	0	1		

・ CNV#1

常時 Default 値。(設定不要)

●40G Buffer-Card

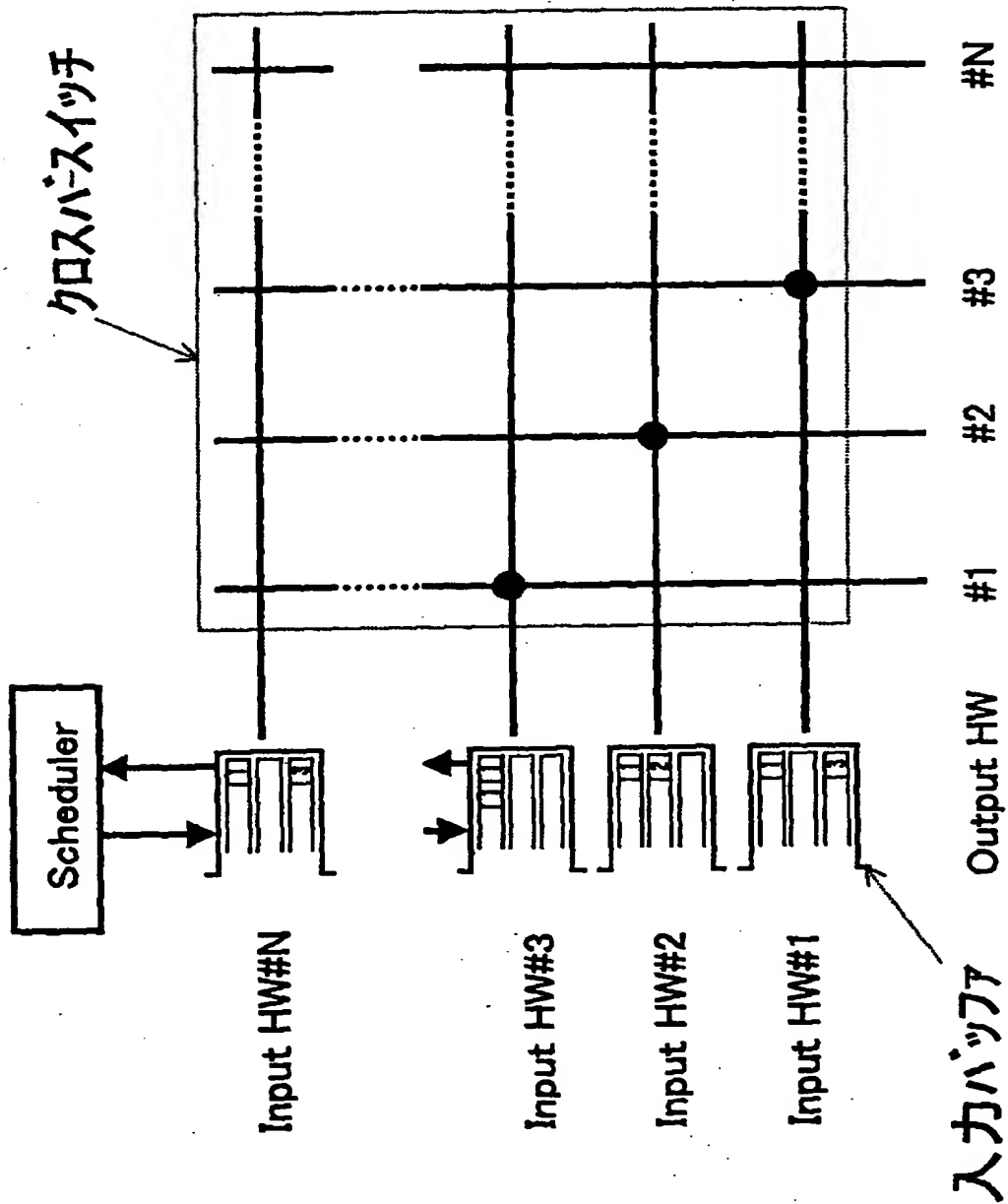
RDD No.	SW-Card 構成			
	8枚 (2.56T)	4枚 (1.28T)	2枚 (640G)	1枚 (320G)
0	1	1	1	許容されない構成
1	1	1	1	
2	0	1	1	
3	0	1	1	
4	0	0	1	
5	0	0	1	
6	0	0	1	
7	0	0	1	

●20G Buffer-Card

RDD No.	SW-Card 構成			
	8枚 (2.56T)	4枚 (1.28T)	2枚 (640G)	1枚 (320G)
0	1	1	1	1
1	1	1	1	1
2	0	0	0	1
3	0	0	0	1
4	0	0	1	1
5	0	0	1	1
6	0	0	0	1
7	0	0	0	1

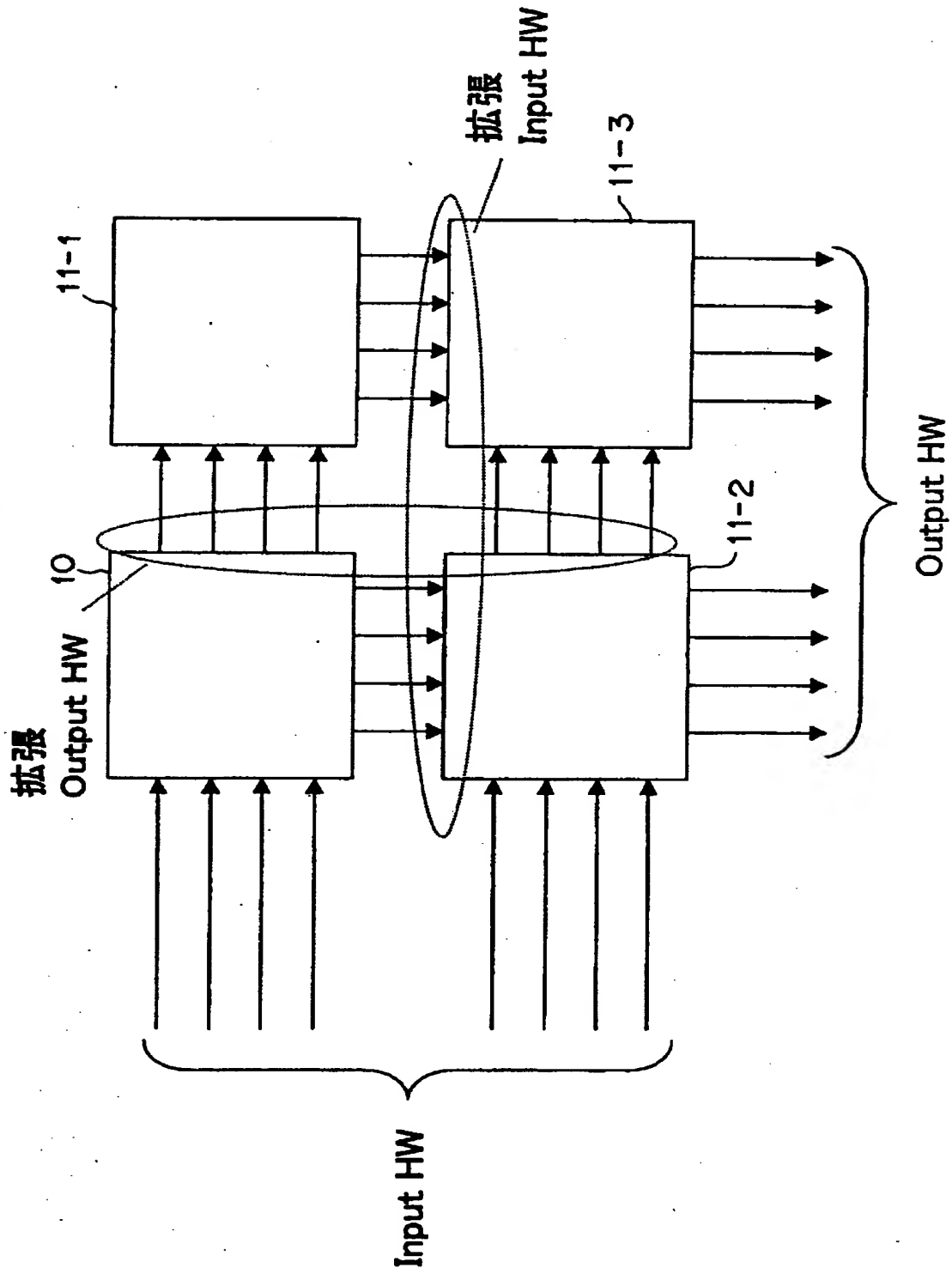
【図90】

従来の入力バッファスイッチの
構成例を示す図



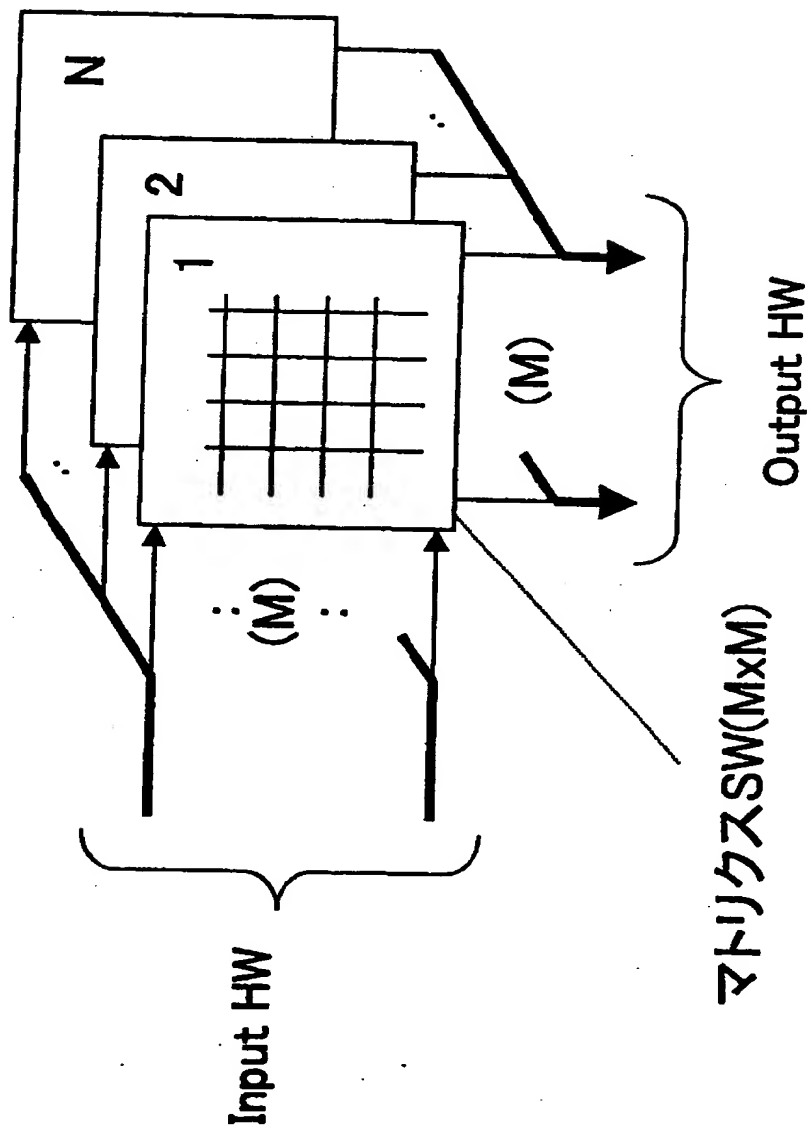
【図91】

従来のクロスバースイッチの拡張方法であり、
マトリクス状に多段にスイッチを接続して
拡張する方法を示した図



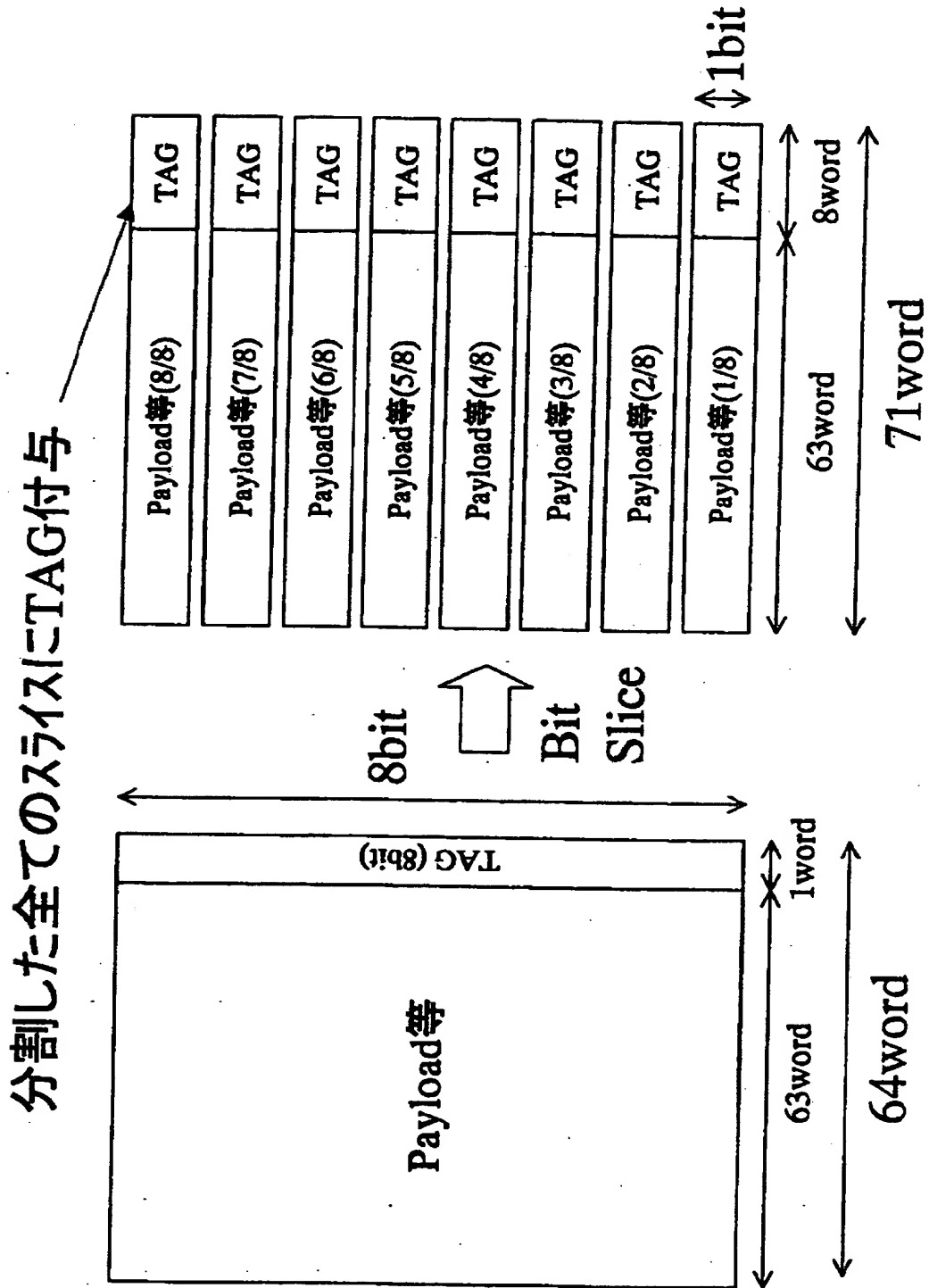
【図92】

同一HWをビットスライス化し、スイッチを
 パラレルに配置する従来の増設方法を
 示した図



【図 9 3】

ビットスライス方式におけるデータへのタグの付与の
例を示した図



【書類名】 要約書

【要約】

【課題】大規模パケットスイッチにおいて、増設時にハードウェアの増加を減少しつつ、処理のオーバヘッドも防ぐことの出来るパケットスイッチ装置を提供する。

【解決手段】入力HW#0～#3からパケットスイッチ装置に入力するパケット列は、各タイムスロットA～Dに埋め込まれている。パケットスイッチ装置は、入力したパケットをタイムスロット単位で交互に振り分けを行い、2つの4×4スイッチに入力する。4×4スイッチでは、通常のスイッチングが行われ、出力ポート毎に振り分けられる。そして、スイッチング後の、2つの4×4スイッチから来たパケットを交互に多重して、各出力HW#0～#3に出力する。このように、パケット単位でスイッチングをすることにより、処理のオーバヘッドを抑制し、また、増設も容易に行うことが出来、しかもハード規模を小さく抑えることが出来る。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 2 2 3]

1. 変更年月日 1 9 9 6 年 3 月 2 6 日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

氏 名 富士通株式会社